

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平8-37187

(43) 公開日 平成8年(1996)2月6日

(51) Int.Cl.⁶

H 0 1 L 21/3205
21/768

識別記号

庁内整理番号

F I

技術表示箇所

H 0 1 L 21/ 88
21/ 90

K
M

審査請求 未請求 請求項の数12 O L (全 13 頁)

(21) 出願番号 特願平7-118559

(22) 出願日 平成7年(1995)5月17日

(31) 優先権主張番号 特願平6-105724

(32) 優先日 平6(1994)5月19日

(33) 優先権主張国 日本 (J P)

(71) 出願人 000001889

三洋電機株式会社

大阪府守口市京阪本通2丁目5番5号

(72) 発明者 実沢 佳居

大阪府守口市京阪本通2丁目5番5号 三
洋電機株式会社内

(72) 発明者 平瀬 征基

大阪府守口市京阪本通2丁目5番5号 三
洋電機株式会社内

(72) 発明者 青江 弘行

大阪府守口市京阪本通2丁目5番5号 三
洋電機株式会社内

(74) 代理人 弁理士 岡田 敬

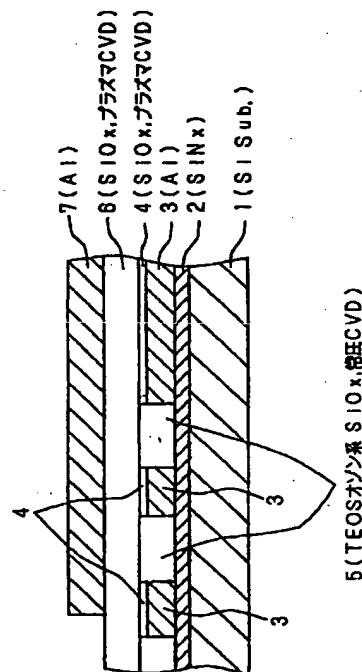
最終頁に続く

(54) 【発明の名称】 半導体装置及び半導体装置の製造方法

(57) 【要約】

【目的】 複数の配線層を隔てる層間絶縁膜の平坦化を促進して、配線の信頼性が高い半導体装置を提供する。

【構成】 配線層3の下側には、TEOSオゾン系シリコン酸化膜の堆積速度が速いシリコン窒化膜からなる絶縁層2を設け、配線層3の上側には、TEOSオゾン系シリコン酸化膜の堆積速度が遅いシリコン酸化膜からなる絶縁層4を設け、TEOSオゾン系シリコン酸化膜からなる絶縁層5の堆積工程後の段差を緩和して、層間絶縁膜の平坦化を促進する。



【特許請求の範囲】

【請求項1】 第1の層と、この第1の層とは有機シラン-オゾン系のシリコン酸化膜の堆積速度が異なる第2の層とを有することを特徴とする半導体装置。

【請求項2】 導電層の下側に、有機シラン-オゾン系のシリコン酸化膜が堆積される第1の層を有し、前記導電層の上側に、前記第1の層とは有機シラン-オゾン系のシリコン酸化膜の堆積速度が異なる材質からなる第2の層を有することを特徴とした半導体装置。

【請求項3】 複数の導電層間を絶縁する層間絶縁膜の平坦化を図るために有機シラン-オゾン系のシリコン酸化膜を用いた半導体装置において、第1の層の上に所定間隔を隔ててパターン形成された第1の導電層と、この第1の導電層の上に形成された第2の層と、前記第1の層が形成されていない領域に形成された有機シラン-オゾン系のシリコン酸化膜と、前記第2の層及び有機シラン-オゾン系のシリコン酸化膜上に形成された層間絶縁膜と、この層間絶縁膜上に形成された第2の導電層とを有し、前記第2の層として前記第1の層より有機シラン-オゾン系のシリコン酸化膜の堆積速度が遅い材質を用いたことを特徴とする半導体装置。

【請求項4】 前記第1の層が、シリコン基板、シリコン窒化膜又は表面を窒化処理したシリコン酸化膜であることを特徴とした請求項1乃至3のいずれか1項に記載の半導体装置。

【請求項5】 前記第2の層の下側の導電層の側壁に、有機シラン-オゾン系のシリコン酸化膜の堆積速度が、前記第1の層よりも遅く且つ前記第2の層と同じか又は第2の層よりも早い材質からなるバッファ部を設けたことを特徴とする請求項2又は3に記載の半導体装置。

【請求項6】 有機シラン-オゾン系のシリコン酸化膜を用いて複数の導電層間を絶縁する層間絶縁膜の平坦化を図る半導体装置の製造方法において、材質が異なる2種類の層の上に、有機シラン-オゾン系のシリコン酸化膜をその堆積速度を異ならせて同時に堆積する工程を有することを特徴とする半導体装置の製造方法。

【請求項7】 前記2種類の層のうち、高い位置にある層として、低い位置にある層より有機シラン-オゾン系のシリコン酸化膜の堆積速度が遅い材質を用いたことを特徴とする請求項6に記載の半導体装置の製造方法。

【請求項8】 有機シラン-オゾン系のシリコン酸化膜を用いて複数の導電層間を絶縁する層間絶縁膜の平坦化を図る半導体装置の製造方法において、半導体基板上に第1の層を形成する工程と、この第1の層の上に導電層及び第2の層をパターン形成する工程と、前記第1の層及び第2の層の上に有機シラン-オゾン系のシリコン酸化膜を、前記第1の層の上より前記第2の層の上でのその堆積速度を遅くして同時に形成する工程とを有することを特徴とした半導体装置の製造方法。

【請求項9】 前記有機シラン-オゾン系のシリコン酸

化膜を堆積する工程よりも前に、前記導電層の側壁に、有機シラン-オゾン系のシリコン酸化膜の堆積速度が、前記第1の層よりも遅く且つ前記第2の層と同じか又は第2の層よりも早い材質からなるバッファ部を設ける工程を行うことを特徴とした請求項8に記載の半導体装置の製造方法。

【請求項10】 前記有機シラン-オゾン系のシリコン酸化膜を形成する工程の後に、この有機シラン-オゾン系のシリコン酸化膜の表面を研磨する工程を行うことを特徴とした請求項6乃至9のいずれか1項に記載の半導体装置の製造方法。

【請求項11】 前記有機シラン-オゾン系のシリコン酸化膜を形成する工程の後に、このシリコン酸化膜の上に絶縁膜を形成する工程と、この絶縁膜の表面を研磨する工程を行うことを特徴とした請求項6乃至9のいずれか1項に記載の半導体装置の製造方法。

【請求項12】 前記研磨工程は、化学的機械研磨法により行うことを特徴とした請求項10又は11に記載の半導体装置の製造方法。

【発明の詳細な説明】

【0001】

【産業上の利用分野】本発明は、絶縁層（層間絶縁膜）を介して形成された複数の導電層からなる配線構造を有する半導体装置及びその製造方法に関し、特に、その層間絶縁膜の平坦化技術に関するものである。

【0002】

【従来の技術】TEOS(Tetra Ethyl Ortho Silicate 又はTetra-ethoxy-silane)とオゾンの常圧CVD法を利用して成長させたシリコン酸化膜（以下、TEOSオゾン系シリコン酸化膜という）を、複数のアルミニウム配線同士を絶縁するための層間絶縁膜の平坦化に利用できることが、1992年12月22日付の日刊工業新聞に掲載されている。また、同新聞には、アルミニウム配線層上のチタン、タングステン等の反射防止膜にフッ化処理を施すことにより、TEOSオゾン系シリコン酸化膜の堆積速度を他の部分よりも遅くして層間絶縁膜の平坦化を図る方法も開示されている。

【0003】

【発明が解決しようとする課題】従来例にあっては、A1配線層下側の絶縁膜上に堆積されるTEOSオゾン系シリコン酸化膜の堆積膜厚が、A1配線層の形成パターンによって大きく異なるという問題がある。即ち、隣り合うA1配線層間のピッチが広い場合には、その間隙部の中央部での絶縁膜上へのTEOSオゾン系シリコン酸化膜の堆積膜厚が薄くなってしまって、十分な平坦性が得られない。

【0004】本発明は斯かる事情に鑑みてなされたものであり、層間絶縁膜の更なる平坦化を実現して、パターン配線の信頼性を向上できる半導体装置及びその製造方法を提供することを目的とする。

【0005】

【課題を解決するための手段】請求項1に記載の半導体装置は、第1の層と、この第1の層とは有機シラン-オゾン系のシリコン酸化膜の堆積速度が異なる第2の層とを有するものである。また、請求項2に記載の半導体装置は、導電層の下側に、有機シラン-オゾン系のシリコン酸化膜が堆積される第1の層を有し、前記導電層の上側に、前記第1の層とは有機シラン-オゾン系のシリコン酸化膜の堆積速度が異なる材質からなる第2の層を有するものである。

【0006】また、請求項3に記載の半導体装置は、第1の層の上に所定間隔を隔ててパターン形成された第1の導電層と、この第1の導電層の上に形成された第2の層と、前記第1の層が形成されていない領域に形成された有機シラン-オゾン系のシリコン酸化膜と、前記第2の層及び有機シラン-オゾン系のシリコン酸化膜上に形成された層間絶縁膜と、この層間絶縁膜上に形成された第2の導電層とを有し、前記第2の層として前記第1の層より有機シラン-オゾン系のシリコン酸化膜の堆積速度が遅い材質を用いたものである。

【0007】また、請求項4に記載の半導体装置は、前記第1の層として、シリコン基板、シリコン窒化膜又は表面を窒化処理したシリコン酸化膜を用いたものである。また、請求項5に記載の半導体装置は、前記第2の層の下導電層の側壁に、有機シラン-オゾン系のシリコン酸化膜の堆積速度が、前記第1の層よりも遅く且つ前記第2の層と同じか又は第2の層よりも早い材質からなるバッファ部を設けたものである。

【0008】また、請求項6に記載の半導体装置の製造方法は、材質が異なる2種類の層の上に、有機シラン-オゾン系のシリコン酸化膜をその堆積速度を異ならせて同時に堆積する工程を有するものである。また、請求項7に記載の半導体装置の製造方法は、前記2種類の層のうち、高い位置にある層として、低い位置にある層より有機シラン-オゾン系のシリコン酸化膜の堆積速度が遅い材質を用いたものである。

【0009】また、請求項8に記載の半導体装置の製造方法は、半導体基板上に第1の層を形成する工程と、この第1の層の上に導電層及び第2の層をパターン形成する工程と、前記第1の層及び第2の層の上に有機シラン-オゾン系のシリコン酸化膜を、前記第1の層の上より前記第2の層の上でのその堆積速度を遅くして同時に形成する工程とを有するものである。

【0010】また、請求項9に記載の半導体装置の製造方法は、前記有機シラン-オゾン系のシリコン酸化膜を堆積する工程よりも前に、前記導電層の側壁に、有機シラン-オゾン系のシリコン酸化膜の堆積速度が、前記第1の層よりも遅く且つ前記第2の層と同じか又は第2の層よりも早い材質からなるバッファ部を設ける工程を行うものである。

【0011】また、請求項10に記載の半導体装置の製造方法は、前記有機シラン-オゾン系のシリコン酸化膜を形成する工程の後に、この有機シラン-オゾン系のシリコン酸化膜の表面を研磨する工程を行うものである。また、請求項11に記載の半導体装置の製造方法は、前記有機シラン-オゾン系のシリコン酸化膜を形成する工程の後に、このシリコン酸化膜の上に絶縁膜を形成する工程と、この絶縁膜の表面を研磨する工程を行うものである。

10 【0012】また、請求項12に記載の半導体装置の製造方法は、前記研磨工程に、化学的機械研磨法を用いるものである。

【0013】

【作用】TEOSオゾン系シリコン酸化膜などの有機シラン-オゾン系のシリコン酸化膜は、堆積時の下地の材質によって、その堆積速度が異なる。下記の表1は、種々の材質からなる膜上にTEOSオゾン系シリコン酸化膜を堆積させた場合の速度比を示している。

【0014】

20 【表1】

TEOSオゾン系シリコン酸化膜の堆積速度比	
堆積速度比	下地の材質
1	シリコン 窒化シリコン 表面を窒化処理した酸化シリコン アルミニウム
0.8~0.85	酸化シリコン (プラズマCVD法)
0.3~0.4	窒化チタン 窒化タングステン PSG (Phospho Silicate Glass)

40 【0015】以上のようなTEOSオゾン系シリコン酸化膜の特性を利用して、配線層間の凹部と配線層の上側とにおいて、TEOSオゾン系シリコン酸化膜の堆積速度が異なる層を形成し、TEOSオゾン系シリコン酸化膜の堆積速度を配線層の上側で遅く、配線層間の凹部側で早くなるようにして、層間絶縁膜の平坦化を図る。具体的には、配線層間の凹部に設ける第1の層には、シリコン窒化膜又は表面を窒化処理したシリコン酸化膜のようなTEOSオゾン系シリコン酸化膜の堆積速度が遅い膜を用い、配線層の上側に設ける第2の層にはプラズマCVD法にて形成したシリコン酸化膜のようなTEOS

オゾン系シリコン酸化膜の堆積速度が遅い膜を用いて、TEOSオゾン系シリコン酸化膜を堆積した後の平坦化を促進する。

【0016】また、このようにTEOSオゾン系シリコン酸化膜などの有機シラン-オゾン系のシリコン酸化膜を堆積した場合、後述するが、表面の、下地配線層の端部上に該当する個所が、小さく隆起することがある。すなわち、有機シラン-オゾン系のシリコン酸化膜が、その成長が配線層の上部では第2の層の存在により抑えられているが、配線層の側壁部は配線層が露出したままである。従って、下地配線層の端部では、有機シラン-オゾン系のシリコン酸化膜が、第1の層の持つ堆積速度による成長に、配線層自身が持つ堆積速度による成長が加わり、部分的に隆起部が発生する。

【0017】このような隆起部の発生を抑えるには、有機シラン-オゾン系のシリコン酸化膜を堆積する前に、配線層の側壁に、有機シラン-オゾン系のシリコン酸化膜の堆積速度が、第1の層よりも遅く且つ前記第2の層と同じか又は第2の層よりも早い材質からなるバッファ部を設けておくことが有効である。具体的には、A1配線層間の凹部に設ける第1の層にシリコン窒化膜を用い、配線層の上側に設ける第2の層にプラズマCVD法にて形成したシリコン酸化膜を用い、バッファ部として第2の層と同じプラズマCVD法にて形成したシリコン酸化膜を用いる。こうすることで、配線層の側壁部においても第2の層と同じ堆積速度でTEOSオゾン系シリコン酸化膜が成長するので、隆起部の発生が抑制される。

【0018】特に、バッファ部として、有機シラン-オゾン系のシリコン酸化膜の堆積速度が、第1の層よりも遅く且つ第2の層よりも早い材質を用いる（例えば、第1の層としてシリコン窒化膜を、第2の層に窒化チタン膜を、バッファ部としてプラズマCVD法にて形成したシリコン酸化膜を用いる）ことにより、隆起部の発生は更に軽減することができる。

【0019】また、このように小さな隆起部を、化学的機械研磨法（CMP：Chemical Mechanical Polishing）を利用して研磨し、平坦化させることにより、有機シラン-オゾン系のシリコン酸化膜の表面の平坦性がより良好となる。前記CMP法とは、微小な研磨粒子を懸濁させた研磨剤を用い、ターンテーブルに貼り付けた研磨クロスをもって、ウェハ上上の膜の高い部分のみを削り取る方法である。ウェハ上上の凸部は研磨クロスに先に接触し、接触点の印加荷重が相対的に他の箇所より高くなって、早く研磨される。逆に、凹部では、研磨クロスが接触しにくく研磨速度が遅いことから、凹凸の差が縮まり、平坦化が進む。

【0020】研磨の前に、隆起部が発生したTEOSオゾン系シリコン酸化膜の上に、プラズマCVD法によるシリコン酸化膜などの絶縁膜を堆積させ、この絶縁膜を

研磨することにより、過剰な研磨で下地配線層を傷つけるようなことはない。

【0021】

【実施例】以下、本発明の実施例を各図面に基づいて具体的に説明する。

（第1実施例）図1は本発明の第1実施例による配線構造の模式的断面図である。同図において、1はシリコン基板からなる半導体基板である。半導体基板1上の全域にはシリコン窒化膜からなる第1の絶縁層2が形成されている。第1の絶縁層（シリコン窒化膜）2の上には、互いに所定間隔を隔ててアルミ合金膜（ $\text{Al-Si (1\%)-Cu (0.5\%)}$ ）からなる第1の配線層3がパターン形成されている。第1の配線層（Al合金膜）3の上には、シリコン酸化膜からなる第2の絶縁層4が形成されている。第1の絶縁層（シリコン窒化膜）2上の第1の配線層（Al合金膜）3が形成されていない部分には、TEOSオゾン系シリコン酸化膜からなる第3の絶縁層5が形成されている。

【0022】この第3の絶縁層（TEOSオゾン系シリコン酸化膜）5は平坦化層として用いられている。第2の絶縁層（シリコン酸化膜）4上及び第3の絶縁層（TEOSオゾン系シリコン酸化膜）5の上には、シリコン酸化膜からなる第4の絶縁層6、アルミ合金膜（ $\text{Al-Si (1\%)-Cu (0.5\%)}$ ）からなる第2の配線層7がこの順に形成されている。第4の絶縁層（Si酸化膜）6は、コンタクトホール（図示しない）の形成部以外で、第1の配線層（Al合金膜）3と第2の配線層（Al合金膜）7とを絶縁している。

【0023】以下、図1に示す配線構造の作成手順について、それを工程順に示した図2、図3を参照して説明する。

工程1（図2a）：シリコン基板からなる半導体基板1の上に、減圧CVD法を用いて、第1の絶縁層2となるシリコン窒化膜を200nm堆積する。この減圧CVD法で用いられるガスは、モノシラン（ SiH_4 ）、アンモニア（ NH_3 ）、窒素（ N_2 ）であり、成膜温度は350～450℃である。

【0024】工程2（図2b）：前記第1の絶縁層（Si窒化膜）2の上に、マグネトロンスパッタ法を用いAl合金膜13を形成する。更に、プラズマCVD法によりSi酸化膜14を堆積した後、これらの上にフォトリソグラフィ法によってフォトレジスト18をパターン形成する。前記プラズマCVD法で用いられるガスは、モノシランと亜酸化窒素（ $\text{SiH}_4 + \text{N}_2\text{O}$ ）、モノシランと酸素（ $\text{SiH}_4 + \text{O}_2$ ）、TEOSと酸素（ $\text{TEOS} + \text{O}_2$ ）などであり、成膜温度は350～450℃である。

【0025】工程3（図2c）：フォトレジスト18をマスクとして、RIE法（Reactive Ion Etching）法により前記Si酸化膜14をエッチング加工して第2の絶縁

層4を形成し、更に、Al合金膜13をエッチング加工して第1の配線層3を形成した後、フォトレジスト18を除去する。その後、基板表面全域にTEOSオゾン系シリコン酸化膜15を常圧CVD法により堆積する。この際、Si酸化膜14、Al膜13の加工処理は、Al膜13下側の第1の絶縁層(Si窒化膜)2の表面が露出するように行う。前記常圧CVD法で用いられるガスは、TEOSとオゾン(TEOS+O₃)で、その成膜温度は350~450℃である。

【0026】前記TEOSオゾン系シリコン酸化膜15は、第1の絶縁層(Si窒化膜)2の上と、第2の層(Si酸化膜)4の上とは、前述の表1に示すように、堆積速度が異なっていて、第1の絶縁層(Si窒化膜)2の上の方が早く堆積される。この堆積速度の違いによって、TEOSオゾン系シリコン酸化膜15の堆積後の表面の段差が緩和される。例えば、TEOSオゾン系シリコン酸化膜15を第1の絶縁層(Si窒化膜)2の上に1μmだけ堆積させると、表1に示す速度比によって、第2の絶縁層(Si酸化膜)4の上にはTEOSオゾン系シリコン酸化膜がほぼ0.8μmだけ堆積されることになり、絶対段差がほぼ0.2μmだけ緩和される。

【0027】工程4(図3d):前記TEOSオゾン系シリコン酸化膜15をエッチバックして第1の絶縁層5を形成した後、プラズマCVD法によって第4の絶縁層6となるSi酸化膜を堆積する。

工程5(図3e):前記第4の絶縁層(Si酸化膜)6の上に、マグネトロンスパッタ法によりAl合金膜17を堆積し、さらにその上にフォトリソグラフィ法によってフォトレジスト19をパターン形成する。

【0028】工程6(図3f):前記フォトレジスト19をマスクとして、RIE法によりAl合金膜17をエッチング加工して第2の配線層7を形成した後、フォトレジスト19を除去して、図1に示す配線構造を作製する。

(第2実施例)図4は本発明の第2実施例による配線構造の模式的断面図である。第2実施例は、配線層にTEOSオゾン系シリコン酸化膜が直接接触しないように、サイドウォールを形成した配線構造例を示している。

【0029】尚、第2実施例において、第1実施例と同一部分には同一符号を用いて説明を省略する。図4において、第1の配線層(Al合金膜)3及び第2の絶縁層(Si酸化膜)4の側壁には、シリコン酸化膜からなるサイドウォール21が形成されている。

【0030】その他の構造及び各層(膜)の形成方法は第1実施例と同じである。本実施例において、サイドウォール21を設けるのには次の利点があるからである。

1) TEOSオゾン系シリコン酸化膜とAl合金膜等の金属配線とが接触すると、TEOSオゾン系シリコン酸化膜に含まれている水分や水酸基がAl合金を腐食さ

せ、配線としての機能が低下するという問題が生じる。サイドウォール21は、第3の絶縁層(TEOSオゾン系シリコン酸化膜)5が第1の配線層(Al合金膜)3に直接接触するのを防止する。

【0031】2) TEOSオゾン系シリコン酸化膜などの有機シラン-オゾン系のシリコン酸化膜を堆積させた場合、第1の配線層(Al合金)3の端部に該当する個所が、小さく隆起することがある。このような隆起部の発生を抑えるのにもサイドウォール21は有効に機能する。

【0032】すなわち、この実施例では、サイドウォール21として、第2の絶縁層4と同じプラズマCVD法にて形成したSi酸化膜を用いる。こうすることで、第1の配線層(Al合金膜)3の側壁部においてもSi酸化膜の堆積速度で第3の絶縁層(TEOSオゾン系シリコン酸化膜)5が成長するので、堆積速度がSi酸化膜よりも早いAl合金膜が露出していることに比べ、第1の配線層(Al合金)3の端部における第3の絶縁層(TEOSオゾン系シリコン酸化膜)5の成長が抑えられて隆起部が発生しにくくなる。

【0033】以下、図4に示す配線構造の作製手順について、それを工程順に示した図5~図7を参照して説明する。

工程(1)(図5a):半導体基板1の上に、第1の絶縁層2となるシリコン窒化膜を堆積する。

工程(2)(図5b):第1の絶縁層(Si窒化膜)2上にAl合金膜13及びシリコン酸化膜14を堆積した後、これらの上にフォトリソグラフィ法によってフォトレジスト18をパターン形成する。

30 【0034】工程(3)(図5c):フォトレジスト18をマスクとして、Si酸化膜14を加工して第2の絶縁層4を形成し、更に、Al合金膜13を加工して第1の配線層3を形成した後、フォトレジスト18を除去する。

工程(4)(図6d):基板表面全域にプラズマCVD法を用いて、シリコン酸化膜31を堆積する。このプラズマCVD法による形成条件は、第1実施例の工程2と同様である。

【0035】工程(5)(図6e):堆積したSi酸化膜31に異方性のエッチバックを施して第1の配線層(Al合金膜3)及び第2の絶縁層(Si酸化膜)4の側壁を覆うようにサイドウォール21を形成する。この際、Si酸化膜31のエッチバック処理は、第1の配線層(Al合金膜)3下側の第1の絶縁層(Si窒化膜)2の表面が露出するように行う。

【0036】工程(6)(図6f):基板表面全域にTEOSオゾン系シリコン酸化膜15を堆積する。TEOSオゾン系シリコン酸化膜15は、第1の絶縁層(Si窒化膜)2上と、第2の絶縁層(Si酸化膜)4上とで、前述の表1に示すように、堆積速度が異なってい

て、第1の層(Si窒化膜)2上の方が早く堆積される。この堆積速度の違いによって、TEOSオゾン系シリコン酸化膜15の堆積後の表面の段差が緩和される。例えば、TEOSオゾン系シリコン酸化膜15を第1の絶縁層(Si窒化膜)2の上に1 μ mだけ堆積させると、表1に示す速度比によって、第2の絶縁層(Si酸化膜)4の上にはTEOSオゾン系シリコン酸化膜15がほぼ0.8 μ mだけ堆積されることになり、絶対段差がほぼ0.2 μ mだけ緩和される。

【0037】工程(7)(図7g):TEOSオゾン系シリコン酸化膜15をエッチバックして第3の絶縁層5を形成した後、第4の絶縁層6となるシリコン酸化膜を堆積する。

工程(8)(図7h):第4の絶縁層(Si酸化膜)6の上に、アルミニウム膜17を堆積し、更にその上にフォトリソグラフィ法によってフォトレジスト19をパターン形成する。

【0038】工程(9)(図7i):フォトレジスト19をマスクとしてAl合金膜17をエッチング加工し、第2の配線層7を形成した後に、フォトレジスト19を除去して、図4に示す配線構造を作製する。

(第3実施例)図8は本発明の第3実施例による配線構造の模式的断面図である。上述した第1、第2実施例では、第1の配線層(Al合金膜)3に反射防止層を設けていない場合について説明した。以下に示す第3実施例は、第1の配線層(Al合金膜3)に反射防止層を設けている例である。

【0039】このように、反射防止層を設けることにより、リソグラフィ工程時において、露光光が下地に反射してパターンニング不良が発生することを防止している。尚、本第3実施例において、第1、第2実施例と同一部分には同一番号を付して説明を省略する。図8において、第1の配線層(Al合金膜)3の上には、表面がフッ化処理された窒化チタン膜からなる反射防止層41が形成されている。その他の構造及び各層(膜)の形成方法は第1実施例や第2実施例と同じである。

【0040】以下、図8に示す配線構造の作製手順について、それを工程順に示した図9～図11を参照して説明する。

工程①(図9a):半導体基板1の上に、第1の絶縁層2となるシリコン窒化膜を堆積する。

工程②(図9b):第1の絶縁層(Si窒化膜)2の上にアルミニウム膜13を形成した後、その上に、マグネトロンスパッタリング法を用いて、窒化チタン膜51を堆積する。そして、これらの上にフォトリソグラフィ法によってフォトレジスト18をパターン形成する。

【0041】工程③(図9c):フォトレジスト18をマスクとして窒化チタン膜51、Al膜13を加工し、反射防止層41、第1の配線層3を形成した後、フォトレジスト18を除去する。

工程④(図10d):基板表面全域にプラズマCVD法によりシリコン酸化膜31を堆積する。

【0042】工程⑤(図10e):堆積したSi酸化膜31に異方性のエッチバックを施して第1の配線層(Al合金膜3)及び反射防止層(窒化チタン膜)41の側壁を覆うようにサイドウォール21を形成する。この際、Si酸化膜31のエッチバック処理は、第1の配線層(Al膜)3下側の第1の絶縁層(Si窒化膜)2の表面が露出するように行う。

【0043】本第3実施例におけるサイドウォール21も、第2実施例と同様の効果を有するが、特に、この第3実施例では、サイドウォール21として、反射防止層(窒化チタン膜)41よりもTEOSオゾン系シリコン酸化膜の堆積速度が早いプラズマCVD法にて形成したSi酸化膜を用いているので、第1の配線層(Al合金)3の端部における第3の絶縁層(TEOSオゾン系シリコン酸化膜)5の成長を更に抑えることができ、隆起部の発生度合いもより低くなる。

【0044】そして、露出した反射防止層(窒化チタン膜)41の表面にフッ化処理を施す。このフッ化処理は、TEOSオゾン系シリコン酸化膜の堆積速度を低下させるために行うものであって、例えば、CF₄又はC₂F₆等フッ素を含むガスの雰囲気中、反射防止層41の表面をプラズマ処理するという方法で行う。但し、本発明者の実験によれば、堆積条件を調整することにより、窒化チタン膜をフッ化処理しなくても、フッ化処理したものと同様の堆積速度を得られることが分かっている。

【0045】工程⑥(図10f):上部全域にTEOSオゾン系シリコン酸化膜15を堆積する。TEOSオゾン系シリコン酸化膜15は、第1の絶縁層(Si窒化膜)2の上と、フッ化処理された反射防止層(窒化チタン膜)41の上とでは、前述の表1に示すように、堆積速度が異なっていて、第1の絶縁層(Si窒化膜)2の上の方が早く堆積される。この堆積速度の違いによって、TEOSオゾン系シリコン酸化膜15の堆積後の表面の段差が緩和される。例えば、TEOSオゾン系シリコン酸化膜15を第1の絶縁層(Si窒化膜)2の上に1 μ mだけ堆積させると、表1に示す速度比によって、反射防止層(窒化チタン膜)41の上にはTEOSオゾン系シリコン酸化膜15がほぼ0.4 μ mだけ堆積されることになり、絶対段差がほぼ0.6 μ mだけ緩和される。

【0046】工程⑦(図11g):TEOSオゾン系シリコン酸化膜15をエッチバックして第3の絶縁層5を形成した後、プラズマCVD法によって第4の絶縁層6となるシリコン酸化膜を堆積する。

工程⑧(図11h):第4の絶縁層(Si酸化膜)6の上に、Al合金膜17を堆積し、更にその上にフォトリソグラフィ法によってフォトレジスト19をパターン形成する。

【0047】工程⑨(図11i)：最後に、フォトレジスト19をマスクとしてAl合金膜17をエッチング加工し、第2の配線層7を形成した後に、フォトレジスト19を除去して、図8に示す配線構造を作製する。

(第4実施例)ところで、以上の実施例(特に第1実施例)にあっては、前述したように、TEOSオゾン系シリコン酸化膜15を堆積した際に、その表面の、下地配線層の端部上に相当する個所に、小さな隆起部が発生することがある。そして、このような隆起部を残したままTEOSオゾン系シリコン酸化膜15をエッチバックしても、表面の形状を引き継いでエッチバックされるので、この隆起部は解消されない。

【0048】以下、化学的機械研磨法を利用した第4の実施例を、図12に示す工程断面図に従って説明する。尚、上述の実施例と同じ構成については同じ符号を用い説明を省略する。また、各層(膜)の形成方法も上述の実施例と同じである。

工程I(図12A)：半導体基板1上に、第1の絶縁層2となるシリコン窒化膜を堆積する。更に、第1の絶縁層(Si窒化膜)2上にアルミニウム膜13を形成した後、その上に、窒化チタン膜51を堆積する。そして、これらの上にフォトリソグラフィ法によってフォトレジストをパターン形成する。

【0049】フォトレジストをマスクとして窒化チタン膜51、Al膜13を配線形状に加工した後、フォトレジストを除去する。そして、露出した窒化チタン膜51の表面にフッ化処理を施す。

工程II(図12B)：上部全域にTEOSオゾン系シリコン酸化膜15を堆積する。TEOSオゾン系シリコン酸化膜15は、第1の絶縁層(Si窒化膜)2の上と、フッ化処理された窒化チタン膜51の上とでは、前述の表1に示すように、堆積速度が異なっていて、第1の絶縁層(Si窒化膜)2の上の方が早く堆積される。この堆積速度の違いによって、TEOSオゾン系シリコン酸化膜15の堆積後の表面の段差が緩和される。

【0050】この際、TEOSオゾン系シリコン酸化膜15の表面には、下地配線の両端部上に該当する個所に、小さな隆起部52・・・が発生する。すなわち、TEOSオゾン系シリコン酸化膜15は、その成長が配線層の上部では窒化チタン膜51の存在により抑えられているが、Al膜13の側壁部はAlが露出したままである。従って、Al膜13の端部では、TEOSオゾン系シリコン酸化膜15が、第1の絶縁層(Si窒化膜)2の持つ堆積速度による成長に、Al自身が持つ堆積速度による成長が加わり、部分的に隆起部が発生する。

【0051】工程III(図12C)：化学的機械研磨法を用いて、TEOSオゾン系シリコン酸化膜15の表面を研磨して、前記隆起部52・・・を除去する。

工程IV(図12D)：研磨によってTEOSオゾン系シリコン酸化膜15の表面にダメージ層が形成されること

があるので、これをカバーするために、表面全体に、プラズマCVD法により第4の絶縁層6となるシリコン酸化膜を堆積する。

【0052】その後は、図示しないが、第4の絶縁層(Si酸化膜)6の上に、Al合金膜を形成し、配線パターンとして加工する。尚、前記工程IIIと工程IVとの間に、上述の実施例と同様に、TEOSオゾン系シリコン酸化膜15をエッチバックして第3の絶縁層を形成する工程を行ってもよい。

10 【0053】(第5実施例)第5の実施例として、CMP法による研磨で配線材が露出しないようにするために、研磨シロとして、研磨の前にプラズマ酸化膜を堆積させる例を図13に示す工程断面図に従って説明する。尚、上述の実施例と同じ構成については同じ符号を用い説明を省略する。また、各層(膜)の形成方法も上述の実施例と同じである。

【0054】工程i(図13A)：第4実施例の工程I及び工程IIと同様の手法で、基板の上部全域にTEOSオゾン系シリコン酸化膜15を堆積する。

20 工程ii(図13B)：TEOSオゾン系シリコン酸化膜15の上に、プラズマCVD法により第5の絶縁層53となるシリコン酸化膜を200～500nm堆積する。この第5の絶縁層53はCMP法による研磨時の研磨シロとなる。

【0055】工程iii(図13C)：化学的機械研磨法を用いて、第5の絶縁層53の表面を研磨して平坦化させる。

工程iv(図13D)：研磨によって第5の絶縁層53の表面にダメージ層が形成されることがあるので、これをカバーするために、表面全体に、プラズマCVD法により第6の絶縁層54となるシリコン酸化膜を堆積する。

30 【0056】その後は、図示しないが、第6の絶縁層(Si酸化膜)54の上に、Al合金膜を形成し、配線パターンとして加工する。これら第4及び第5実施例のように、CMP法を用いた研磨は、その研磨速度が、研磨器具により基板を押さえ付ける圧力に比例するために、研磨しようとする個所の凹凸面の大きさによって変化し、研磨後の膜厚にバラツキが生じやすいが、本発明で発生する程度の隆起部を研磨するふんには、何ら支障はない。

【0057】従って、本発明のように、下地膜の材質を調整してTEOSオゾン系シリコン酸化膜15を堆積させる手法にあっては、TEOSオゾン系シリコン酸化膜15の表面に大きな凹凸が発生させることなく、せいぜい隆起部52のような小さなものが発生するのみであるので、CMP法により良好な研磨効果を得ることができる。

【0058】また、上述した各実施例では、平坦性に優れた層間絶縁膜を形成できるので、この上に形成する配線層のパターニングが安定して、配線層自体の信頼性も

向上する。また、薄いシリコン窒化膜を層間膜中に形成しているため、水分の下層への透過が抑制されて、下側のトランジスタの信頼性も向上する。尚、本発明は以上の実施例に限定されるものではなく、以下のように実施してもよい。

【0059】a) 上述した各実施例においては、有機シラン-オゾン系のシリコン酸化膜としてTEOSオゾン系シリコン酸化膜を用いたが、これ以外にもTMOS (Tetra Methoxy Silane)、TEOFS (Triethoxy Fluoro Silane)、アルコキシ基又はフッ素を含む基を有する有機シランとオゾンなどでも同様の効果を得ることができる。

【0060】b) 上述した各実施例においては、TEOSオゾン系シリコン酸化膜の堆積速度が速い層としてシリコン窒化膜を用いたが、表面を窒化処理したシリコン酸化膜を用いても、表1に示すように、TEOSオゾン系シリコン酸化膜の堆積速度は速いので、同様の効果を奏することはもちろんである。その他、表1に示すTEOSオゾン系シリコン酸化膜の堆積速度が速い層と遅い層とを適宜組み合わせる用いられればよい。

【0061】c) 上述の実施例は、第1層配線と第2層配線との間の層間絶縁膜の平坦化について説明したが、それより上の配線間に適用してもよい。例えば、上述した各実施例において、第2の配線層7より下側に第1の絶縁層2と同じシリコン窒化膜（または表面を窒化処理したシリコン酸化膜）を設けておけば、第2の配線層7の上側の絶縁層の平坦化を図ることができ、更なる配線層の多層化にも同様に対応できる。

【0062】d) スパッタリングの方法として、マグネトロンスパッタリング以外に、ダイオードスパッタリング、高周波スパッタリング、四極スパッタリングなどのようなものであってもよい。

e) TEOSオゾン系シリコン酸化膜の堆積速度が遅い膜としてのシリコン酸化膜4はプラズマCVD法により形成したが、減圧CVD法、常圧CVD法などの方法で形成しても同様の性質を得ることができる。

【0063】f) シリコン酸化膜6、54はCVD以外の方法（スパッタ法や蒸着法などのPVD法、酸化法）によって形成してもよい。

g) シリコン酸化膜6、54を他の絶縁膜（各種シリケートガラス、アルミナ、シリコン窒化膜、チタン酸化膜）などに置き換えてもよい。

【0064】

【発明の効果】以上のように、本発明では、配線層間の凹部の絶縁層として有機シラン-オゾン系のシリコン酸化膜の堆積速度が速い、シリコン窒化膜または表面を窒化処理したシリコン酸化膜等の膜を用い、配線層上側の絶縁層として有機シラン-オゾン系のシリコン酸化膜の堆積速度が遅い、プラズマCVD法によるシリコン酸化膜、反射防止層としての窒化チタン膜等の膜を用いるの

で、有機シラン-オゾン系のシリコン酸化膜を堆積する工程においてその平坦性を促進できる。

【0065】その結果、工程の増加、複雑化を招くことなく、層間絶縁膜の平坦化を実現でき、この上に形成される配線層のパターニングが安定して、配線の信頼性が向上し、信頼性が高い半導体デバイス等を高い歩留まりにて提供することができる。上記の効果に加えて、請求項5及び9に記載の発明にあっては、有機シラン-オゾン系のシリコン酸化膜を堆積した際に生じることのある隆起部の発生度合いを軽減することができ、更なる平坦化を実現できる。

【0066】また、請求項10乃至12に記載の発明にあっては、有機シラン-オゾン系のシリコン酸化膜を堆積した際に生じることのある隆起部をも解消するものであるため、平坦性はより良好である。

【図面の簡単な説明】

【図1】本発明の第1実施例の半導体装置の配線構造を示す模式的断面図である。

【図2】図1に示す配線構造の作製工程を示す断面図である。

【図3】図1に示す配線構造の作製工程を示す断面図である。

【図4】本発明の第2実施例の半導体装置の配線構造を示す模式的断面図である。

【図5】図4に示す配線構造の作製工程を示す断面図である。

【図6】図4に示す配線構造の作製工程を示す断面図である。

【図7】図4に示す配線構造の作製工程を示す断面図である。

【図8】本発明の第3実施例の半導体装置の配線構造を示す模式的断面図である。

【図9】図8に示す配線構造の作製工程を示す断面図である。

【図10】図8に示す配線構造の作製工程を示す断面図である。

【図11】図8に示す配線構造の作製工程を示す断面図である。

【図12】本発明の第4実施例の半導体装置の配線構造の作製工程を示す断面図である。

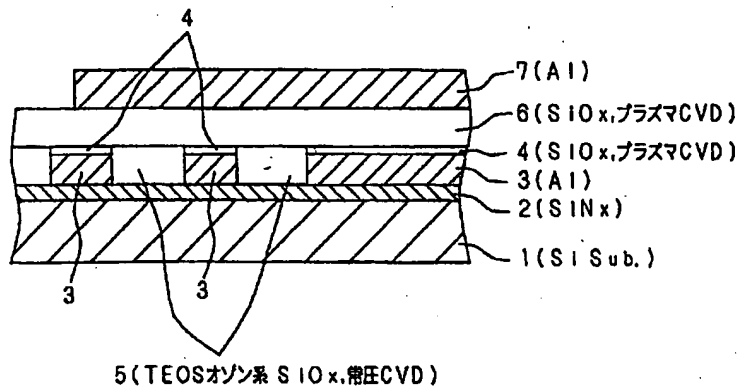
【図13】本発明の第5実施例の半導体装置の配線構造の作製工程を示す断面図である。

【符号の説明】

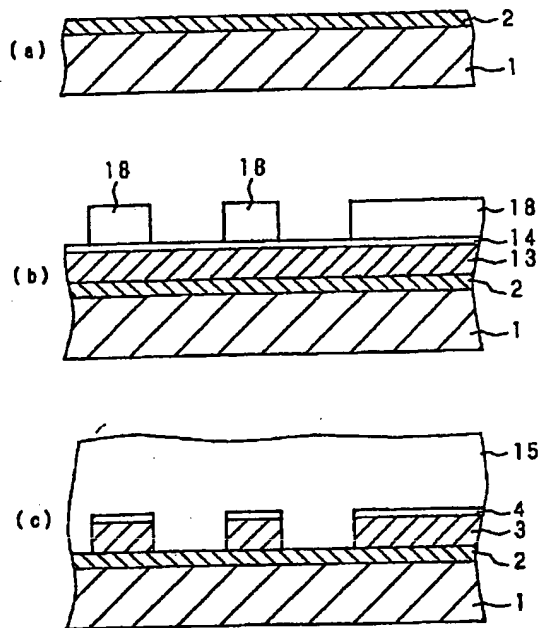
- 1 半導体基板（シリコン基板）
- 2 第1の絶縁層（シリコン窒化膜）（第1の層）
- 3 第1の配線層（アルミニウム膜）
- 4 第2の絶縁層（シリコン酸化膜）（第2の層）
- 5 第3の絶縁層（TEOSオゾン系シリコン酸化膜）
- 6 第4の絶縁層（シリコン酸化膜）
- 7 第2の配線層（アルミニウム膜）

- 15 TEOSオゾン系シリコン酸化膜（有機シラン・オゾン系のシリコン酸化膜）
- 21 サイドウォール（シリコン酸化膜）（パツァ部）
- * 41 反射防止層（窒化チタン膜）（第2の層）
- 52 隆起部
- 53 第5の絶縁層（シリコン酸化膜）
- * 54 第6の絶縁層（シリコン酸化膜）

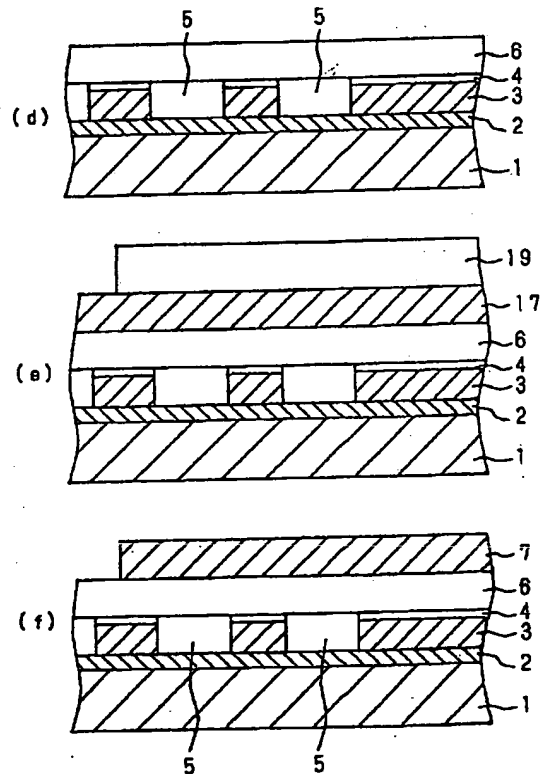
【図1】



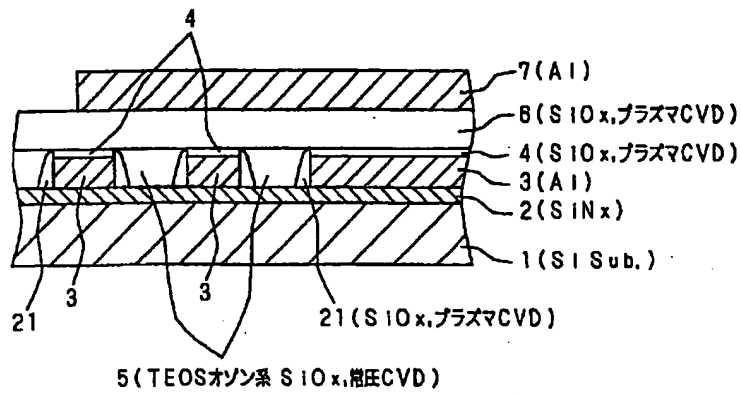
【図2】



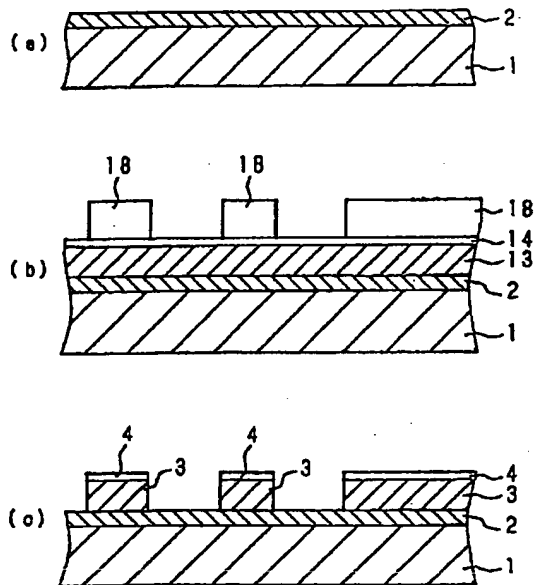
【図3】



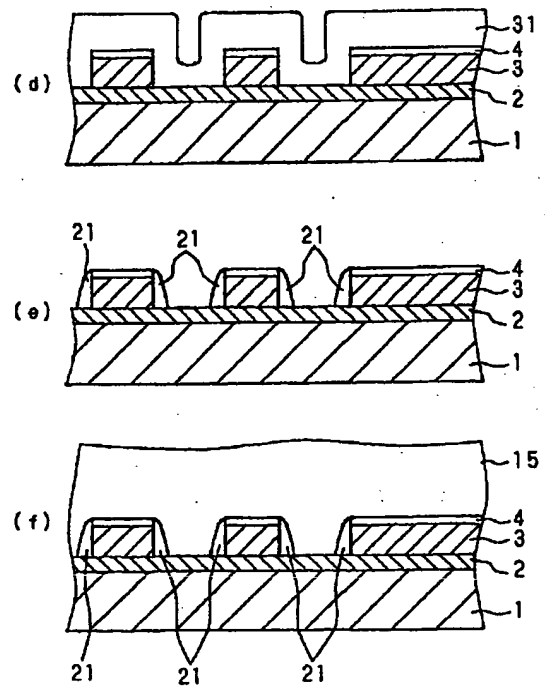
【図4】



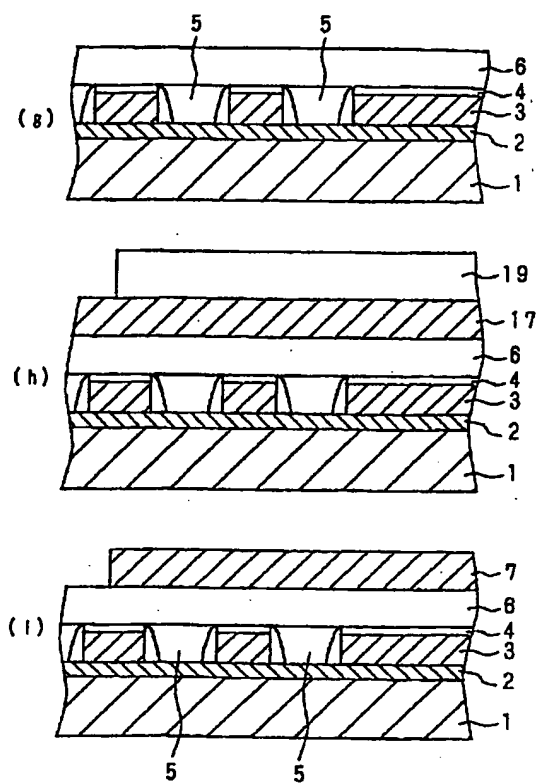
【図5】



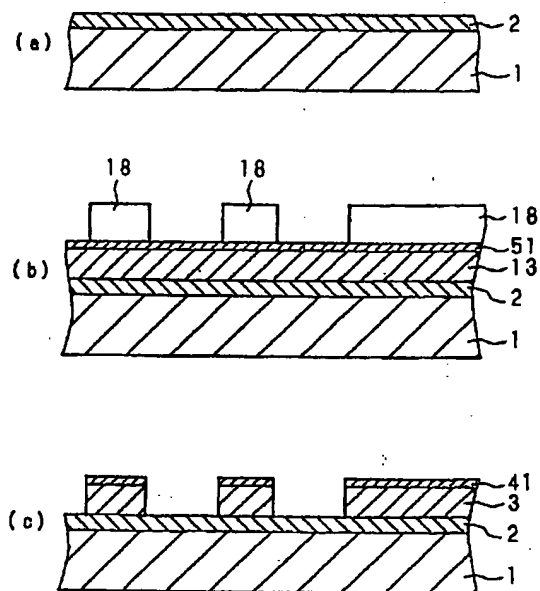
【図6】



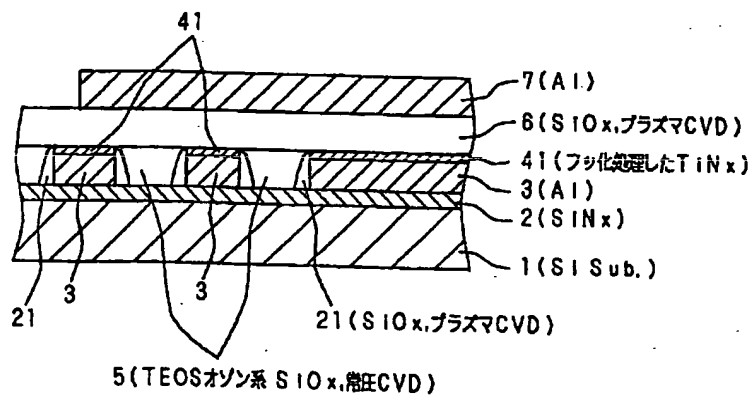
【図7】



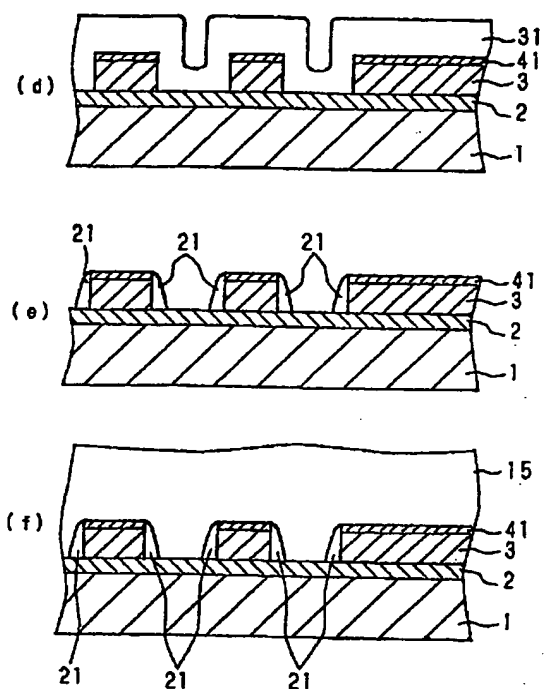
【図9】



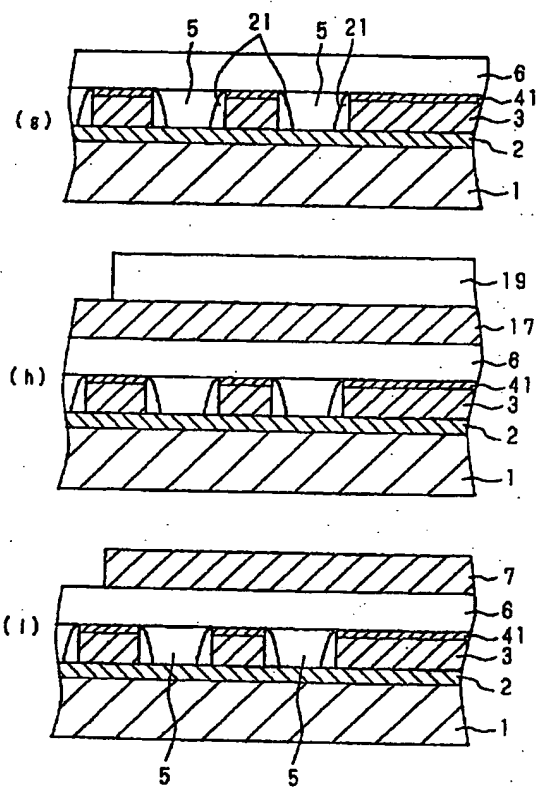
【図8】



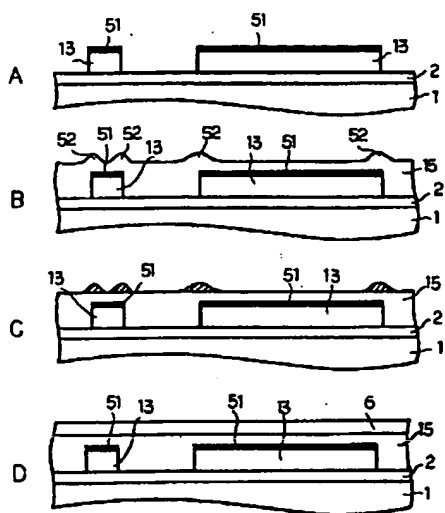
【図10】



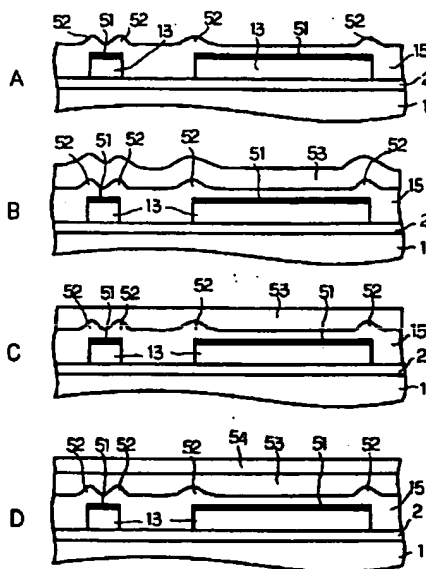
【図11】



【図12】



【図13】



フロントページの続き

(72)発明者 渡辺 裕之
大阪府守口市京阪本通2丁目5番5号 三
洋電機株式会社内

(72)発明者 秋月 誠
大阪府守口市京阪本通2丁目5番5号 三
洋電機株式会社内

JP1996037187A

1996-2-6

Bibliographic Fields

Document Identity

(19)【発行国】

日本国特許庁(JP)

(12)【公報種別】

公開特許公報(A)

(11)【公開番号】

特開平8-37187

(43)【公開日】

平成8年(1996)2月6日

Public Availability

(43)【公開日】

平成8年(1996)2月6日

Technical

(54)【発明の名称】

半導体装置及び半導体装置の製造方法

(51)【国際特許分類第6版】

H01L 21/3205

21/768

【FI】

H01L 21/88 K

21/90 M

【請求項の数】

12

【出願形態】

OL

【全頁数】

13

Filing

【審査請求】

未請求

(21)【出願番号】

特願平7-118559

(22)【出願日】

(19) [Publication Office]

Japan Patent Office (JP)

(12) [Kind of Document]

Unexamined Patent Publication (A)

(11) [Publication Number of Unexamined Application]

Japan Unexamined Patent Publication Hei 8- 37187

(43) [Publication Date of Unexamined Application]

1996 (1996) February 6*

(43) [Publication Date of Unexamined Application]

1996 (1996) February 6*

(54) [Title of Invention]

**MANUFACTURING METHOD OF SEMICONDUCTOR
DEVICE AND SEMICONDUCTOR DEVICE**

(51) [International Patent Classification, 6th Edition]

H01L 21/3205

21/768

[FI]

H01L 21/88 K

21/90 M

[Number of Claims]

12

[Form of Application]

OL

[Number of Pages in Document]

13

[Request for Examination]

Unrequested

(21) [Application Number]

Japan Patent Application Hei 7- 118559

(22) [Application Date]

JP1996037187A

1996-2-6

平成7年(1995)5月17日

1995 (1995) May 17*

Foreign Priority

(31)【優先権主張番号】

(31) [Priority Application Number]

特願平6-105724

Japan Patent Application Hei 6- 105724

(32)【優先日】

(32) [Priority Date]

平6(1994)5月19日

1994 (1994) May 19*

(33)【優先権主張国】

(33) [Priority Country]

日本(JP)

Japan (JP)

Parties

Applicants

(71)【出願人】

(71) [Applicant]

【識別番号】

[Identification Number]

000001889

000001889

【氏名又は名称】

[Name]

三洋電機株式会社

SANYO ELECTRIC CO. LTD. (DB 69-053-7303)

【住所又は居所】

[Address]

大阪府守口市京阪本通2丁目5番5号

Osaka Prefecture Moriguchi City Keihan Hondori 2-5-5

Inventors

(72)【発明者】

(72) [Inventor]

【氏名】

[Name]

実沢 佳居

** **

【住所又は居所】

[Address]

大阪府守口市京阪本通2丁目5番5号 三洋電機株式会社内

Osaka Prefecture Moriguchi City Keihan Hondori 2-5-5
Sanyo Electric Co. Ltd. (DB 69-053-7303) *

(72)【発明者】

(72) [Inventor]

【氏名】

[Name]

平瀬 征基

Hirase **

【住所又は居所】

[Address]

大阪府守口市京阪本通2丁目5番5号 三洋電機株式会社内

Osaka Prefecture Moriguchi City Keihan Hondori 2-5-5
Sanyo Electric Co. Ltd. (DB 69-053-7303) *

(72)【発明者】

(72) [Inventor]

【氏名】

[Name]

青江 弘行

Aoe Hiroyuki

【住所又は居所】

[Address]

大阪府守口市京阪本通2丁目5番5号 三洋電機株式会社内

Osaka Prefecture Moriguchi City Keihan Hondori 2-5-5
Sanyo Electric Co. Ltd. (DB 69-053-7303) *

JP1996037187A

1996-2-6

(72)【発明者】

【氏名】

渡辺 裕之

【住所又は居所】

大阪府守口市京阪本通2丁目5番5号 三洋電機株式会社内

(72)【発明者】

【氏名】

秋月 誠

【住所又は居所】

大阪府守口市京阪本通2丁目5番5号 三洋電機株式会社内

Agents

(74)【代理人】

【弁理士】

【氏名又は名称】

岡田 敬

Abstract

(57)【要約】

【目的】

複数の配線層を隔てる層間絶縁膜の平坦化を促進して、配線の信頼性が高い半導体装置を提供する。

【構成】

配線層3の下側には、TEOSオゾン系シリコン酸化膜の堆積速度が速いシリコン窒化膜からなる絶縁層2を設け、配線層3の上側には、TEOSオゾン系シリコン酸化膜の堆積速度が遅いシリコン酸化膜からなる絶縁層4を設け、TEOSオゾン系シリコン酸化膜からなる絶縁層5の堆積工程後の段差を緩和して、層間絶縁膜の平坦化を促進する。

(72) [Inventor]

[Name]

Watanabe Hiroyuki

[Address]

Osaka Prefecture Moriguchi City Keihan Hondori 2-5-5 Sanyo Electric Co. Ltd. (DB 69-053-7303) *

(72) [Inventor]

[Name]

Akizuki *

[Address]

Osaka Prefecture Moriguchi City Keihan Hondori 2-5-5 Sanyo Electric Co. Ltd. (DB 69-053-7303) *

(74) [Attorney(s) Representing All Applicants]

[Patent Attorney]

[Name]

Okada Takashi

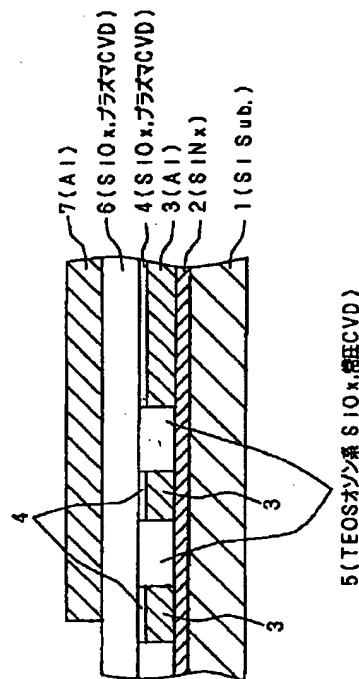
(57) [Abstract]

[Objective]

Promoting planarization of interlayer insulating film which separates wiring layer of the plural, it offers semiconductor device where reliability of metallization is high.

[Constitution]

It provides insulating layer 2 which consists of silicon nitride film where deposition rate of TEOS ozone silicon oxide film is fast in underside of wiring layer 3, it provides the insulating layer 4 which consists of silicon oxide film where deposition rate of TEOS ozone silicon oxide film is slow in topside of wiring layer 3, easing step after deposition step of insulating layer 5 which consists of TEOS ozone silicon oxide film, it promotes planarization of interlayer insulating film.



Claims

【特許請求の範囲】

【請求項 1】

第 1 の層と、この第 1 の層とは有機シラン-オゾン系のシリコン酸化膜の堆積速度が異なる第 2 の層とを有することを特徴とする半導体装置。

【請求項 2】

導電層の下側に、有機シラン-オゾン系のシリコン酸化膜が堆積される第 1 の層を有し、前記導電層の上側に、前記第 1 の層とは有機シラン-オゾン系のシリコン酸化膜の堆積速度が異なる材質からなる第 2 の層を有することを特徴とした半導体装置。

【請求項 3】

複数の導電層間を絶縁する層間絶縁膜の平坦化を図るために有機シラン-オゾン系のシリコン酸化膜を用いた半導体装置において、第 1 の層の上に所定間隔を隔ててパターン形成された第 1 の導電層と、この第 1 の導電層の上に形成された第 2 の層と、前記第 1 の層が形成されていない領域に形成された有機シラン-オゾン系のシリコン酸化膜と、前記第 2 の層及び有機シラン-

[Claim(s)]

[Claim 1]

first layer and this first layer semiconductor device . which designates that it possesses second layer where deposition rate of silicon oxide film of organosilane -ozone type differs as feature

[Claim 2]

In underside of conductive layer , it possesses first layer where the silicon oxide film of organosilane -ozone type is accumulated, in top side of aforementioned conductive layer , aforementioned first layer semiconductor device . which designates that it possesses second layer which consists of material where deposition rate of silicon oxide film of organosilane -ozone type differs as feature

[Claim 3]

In semiconductor device which uses silicon oxide film of organosilane -ozone type in order to assure the planarization of interlayer insulating film which insulating does between conductive layer of the plural , pattern formation make on first layer across specified interval silicon oxide film of the organosilane -ozone type which was formed to region where second layer and the aforementioned first layer which were formed on first conductive layer and the this first conductive

オゾン系のシリコン酸化膜上に形成された層間絶縁膜と、この層間絶縁膜上に形成された第2の導電層とを有し、前記第2の層として前記第1の層より有機シラン-オゾン系のシリコン酸化膜の堆積速度が遅い材質を用いたことを特徴とする半導体装置。

【請求項4】

前記第1の層が、シリコン基板、シリコン窒化膜又は表面を窒化処理したシリコン酸化膜であることを特徴とした請求項1乃至3のいずれか1項に記載の半導体装置。

【請求項5】

前記第2の層の下側の導電層の側壁に、有機シラン-オゾン系のシリコン酸化膜の堆積速度が、前記第1の層よりも遅く且つ前記第2の層と同じか又は第2の層よりも早い材質からなるバッファ部を設けたことを特徴とする請求項2又は3に記載の半導体装置。

【請求項6】

有機シラン-オゾン系のシリコン酸化膜を用いて複数の導電層間を絶縁する層間絶縁膜の平坦化を図る半導体装置の製造方法において、材質が異なる2種類の層の上に、有機シラン-オゾン系のシリコン酸化膜をその堆積速度を異ならせて同時に堆積する工程を有することを特徴とする半導体装置の製造方法。

【請求項7】

前記2種類の層のうち、高い位置にある層として、低い位置にある層より有機シラン-オゾン系のシリコン酸化膜の堆積速度が遅い材質を用いたことを特徴とする請求項6に記載の半導体装置の製造方法。

【請求項8】

有機シラン-オゾン系のシリコン酸化膜を用いて複数の導電層間を絶縁する層間絶縁膜の平坦化を図る半導体装置の製造方法において、半導体基板上に第1の層を形成する工程と、この第1の層の上に導電層及び第2の層をパターン形成する工程と、前記第1の層及び第2の層の上に有機シラン-オゾン系のシリコン酸化膜を、

layer which are not formed and, It possesses aforementioned second layer and interlayer insulating film which was formed on silicon oxide film of organosilane -ozone type and second conductive layer which was formed on the this interlayer insulating film, semiconductor device: which designates that material where deposition rate of silicon oxide film of organosilane -ozone type is slower than aforementioned first layer as aforementioned second layer is used as feature

[Claim 4]

Aforementioned first layer, semiconductor device, which is stated in any one claim of Claims 1 through 3 which designates that it is a silicon oxide film which silicon substrate, silicon nitride film or the surface nitriding is done as feature

[Claim 5]

In sidewall of conductive layer under aforementioned second layer, deposition rate of silicon oxide film of organosilane -ozone type, semiconductor device, which is stated in Claims 2 or 3 which designates that buffer which consists of quick material in comparison with aforementioned first layer to be slow and same as aforementioned second layer or in comparison with second layer is provided as feature

[Claim 6]

With respect to layer of 2 kinds where material differs in manufacturing method of semiconductor device which assures planarization of interlayer insulating film which insulating does between conductive layer of plural making use of silicon oxide film of organosilane -ozone type, manufacturing method, of semiconductor device which designates that it possesses step which making deposition rate differ, accumulates silicon oxide film of organosilane -ozone type simultaneously as feature

[Claim 7]

manufacturing method, of semiconductor device which is stated in Claim 6 which designates that material where deposition rate of silicon oxide film of organosilane -ozone type is slower than layer which is low position among layers of the aforementioned 2 kinds, as layer which is in high position, is used as feature

[Claim 8]

With respect to step, aforementioned first layer and second layer which pattern formation do conductive layer and second layer with respect to step, this first layer which forms first layer on semiconductor substrate in manufacturing method of semiconductor device which assures planarization of interlayer insulating film which insulating does between the conductive layer of plural making use of silicon oxide film of

前記第 1 の層の上より前記第 2 の層の上でのその堆積速度を遅くして同時に形成する工程とを有することを特徴とした半導体装置の製造方法。

【請求項 9】

前記有機シラン-オゾン系のシリコン酸化膜を堆積する工程よりも前に、前記導電層の側壁に、有機シラン-オゾン系のシリコン酸化膜の堆積速度が、前記第 1 の層よりも遅く且つ前記第 2 の層と同じか又は第 2 の層よりも早い材質からなるパッファ部を設ける工程を行うことを特徴とした請求項 8 に記載の半導体装置の製造方法。

【請求項 10】

前記有機シラン-オゾン系のシリコン酸化膜を形成する工程の後に、この有機シラン-オゾン系のシリコン酸化膜の表面を研磨する工程を行うことを特徴とした請求項 6 乃至 9 のいずれか 1 項に記載の半導体装置の製造方法。

【請求項 11】

前記有機シラン-オゾン系のシリコン酸化膜を形成する工程の後に、このシリコン酸化膜の上に絶縁膜を形成する工程と、この絶縁膜の表面を研磨する工程を行うことを特徴とした請求項 6 乃至 9 のいずれか 1 項に記載の半導体装置の製造方法。

【請求項 12】

前記研磨工程は、化学的機械研磨法により行うことを特徴とした請求項 10 又は 11 に記載の半導体装置の製造方法。

Specification

【発明の詳細な説明】

【0001】

【産業上の利用分野】

本発明は、絶縁層(層間絶縁膜)を介して形成された複数の導電層からなる配線構造を有する半導体装置及びその製造方法に関し、特に、その層間絶縁膜の平坦化技術に関するものである。

organosilane -ozone type, silicon oxide film of organosilane -ozone type, Making deposition rate with respect to aforementioned second layer slower than with respect to aforementioned first layer, manufacturing method . of the semiconductor device which designates that it possesses step which it forms simultaneously as feature

[Claim 9]

In comparison with step which accumulates silicon oxide film of aforementioned organosilane -ozone type before, in sidewall of aforementioned conductive layer , deposition rate of silicon oxide film of organosilane -ozone type, manufacturing method . of semiconductor device which is stated in Claim 8 which designates that step which provides buffer which consists of quick material in comparison with aforementioned first layer to be slow and the same as aforementioned second layer or in comparison with second layer is done as feature

[Claim 10]

After step which forms silicon oxide film of aforementioned organosilane -ozone type, manufacturing method . of semiconductor device which is stated in any one claim of Claims 6 through 9 which designates that step which polishing does surface of silicon oxide film of this organosilane -ozone type is done as feature

[Claim 11]

After step forming silicon oxide film of aforementioned organosilane -ozone type, the manufacturing method . of semiconductor device which is stated in any one claim of Claims 6 through 9 which designates that step which polishing does surface of step. this insulating film which forms insulating film on this silicon oxide film is done as feature

[Claim 12]

As for aforementioned polishing step , manufacturing method . of semiconductor device which is stated in Claim 10 or 11 which designates that it does with chemical machine polishing method as feature

[Description of the Invention]

【0001】

[Field of Industrial Application]

this invention, through insulating layer (interlayer insulating film), regards semiconductor device and its manufacturing method which possess metallization structure which consists of conductive layer of plural which was formed, especially, it is something regarding planarization technology of interlayer insulating film .

[0002]

【従来の技術】

TEOS(Tetra Ethyl Ortho Silicate 又は Tetra-ethoxy-silane)とオゾンの常圧 CVD 法を利用して成長させたシリコン酸化膜(以下、TEOS オゾン系シリコン酸化膜という)を、複数のアルミニウム配線同士を絶縁するための層間絶縁膜の平坦化に利用できることが、1992 年 12 月 22 日付の毎日工業新聞に掲載されている。

また、同新聞には、アルミニウム配線層上のチタン、タングステン等の反射防止膜にフッ化処理を施すことにより、TEOS オゾン系シリコン酸化膜の堆積速度を他の部分よりも遅くして層間絶縁膜の平坦化を図る方法も開示されている。

[0003]

【発明が解決しようとする課題】

従来例にあつては、Al 配線層下側の絶縁膜上に堆積される TEOS オゾン系シリコン酸化膜の堆積膜厚が、Al 配線層の形成パターンによって大きく異なるという問題がある。

即ち、隣り合う Al 配線層間のピッチが広い場合には、その間隙部の中央部での絶縁膜上への TEOS オゾン系シリコン酸化膜の堆積膜厚が薄くなってしまつて、十分な平坦性が得られない。

[0004]

本発明は斯かる事情に鑑みてなされたものであり、層間絶縁膜の更なる平坦化を実現して、パターン配線の信頼性を向上できる半導体装置及びその製造方法を提供することを目的とする。

[0005]

【課題を解決するための手段】

請求項 1 に記載の半導体装置は、第 1 の層と、この第 1 の層とは有機シラン-オゾン系のシリコン酸化膜の堆積速度が異なる第 2 の層とを有するものである。

また、請求項 2 に記載の半導体装置は、導電層の下側に、有機シラン-オゾン系のシリコン酸化膜が堆積される第 1 の層を有し、前記導電層の上側に、前記第 1 の層とは有機シラン-オゾン系のシリコン酸化膜の堆積速度が異なる材質からなる第 2 の層を有するものである。

[0002]

[Prior Art]

Being able to utilize in planarization of interlayer insulating film in order insulating todo aluminum metallization of plural , has been published silicon oxide film (Below, TEOS ozone silicon oxide film you call) which grew TEOS (Tetra Ethyl Ortho Silicate or Tetra-ethoxy-silane) with making use of ambient pressure CVD method of ozone , to Nikkan Kogyo Shimbun of 1992 December 22date .

In addition, making slow by administering fluorination to titanium , tungsten or other antireflective film with respect to aluminum metallization layer, deposition rate of TEOS ozone silicon oxide film in comparison with other portion , also method which assures planarization of the interlayer insulating film is disclosed in same newspaper .

[0003]

[Problems to be Solved by the Invention]

There being a Prior Art Example , there is a problem that built up film thickness of the TEOS ozone silicon oxide film which is accumulated on insulating film of Al wiring layer underside , differs largely in formed pattern of Al wiring layer .

Namely, when pitch between Al wiring layer which is adjacent is wide, built up film of TEOS ozone silicon oxide film to on insulating film with central portion of the gap portion thick becoming thin, sufficient planarity is not acquired.

[0004]

As for this invention considering to such situation , being something which it is possible, actualizing further planarization of interlayer insulating film , reliability of pattern metallization it designates that semiconductor device and its manufacturing method which it can improve are offered as objective .

[0005]

[Means to Solve the Problems]

As for semiconductor device which is stated in Claim 1 , first layer and this first layer are something which possesses second layer where deposition rate of silicon oxide film of organosilane -ozone type differs.

In addition, semiconductor device which is stated in Claim 2 in underside of conductive layer , has first layer where silicon oxide film of organosilane -ozone type is accumulated, in topside of aforementioned conductive layer , aforementioned first layer is something which possesses second layer which consists of material where deposition rate of silicon oxide film of organosilane -ozone type differs.

【0006】

また、請求項 3 に記載の半導体装置は、第 1 の層の上に所定間隔を隔ててパターン形成された第 1 の導電層と、この第 1 の導電層の上に形成された第 2 の層と、前記第 1 の層が形成されていない領域に形成された有機シラン-オゾン系のシリコン酸化膜と、前記第 2 の層及び有機シラン-オゾン系のシリコン酸化膜上に形成された層間絶縁膜と、この層間絶縁膜上に形成された第 2 の導電層とを有し、前記第 2 の層として前記第 1 の層より有機シラン-オゾン系のシリコン酸化膜の堆積速度が遅い材質を用いたものである。

【0007】

また、請求項 4 に記載の半導体装置は、前記第 1 の層として、シリコン基板、シリコン窒化膜又は表面を窒化処理したシリコン酸化膜を用いたものである。

また、請求項 5 に記載の半導体装置は、前記第 2 の層の下側の導電層の側壁に、有機シラン-オゾン系のシリコン酸化膜の堆積速度が、前記第 1 の層よりも遅く且つ前記第 2 の層と同じか又は第 2 の層よりも早い材質からなるバッファ部を設けたものである。

【0008】

また、請求項 6 に記載の半導体装置の製造方法は、材質が異なる 2 種類の層の上に、有機シラン-オゾン系のシリコン酸化膜をその堆積速度を異ならせて同時に堆積する工程を有するものである。

また、請求項 7 に記載の半導体装置の製造方法は、前記 2 種類の層のうち、高い位置にある層として、低い位置にある層より有機シラン-オゾン系のシリコン酸化膜の堆積速度が遅い材質を用いたものである。

【0009】

また、請求項 8 に記載の半導体装置の製造方法は、半導体基板上に第 1 の層を形成する工程と、この第 1 の層の上に導電層及び第 2 の層をパターン形成する工程と、前記第 1 の層及び第 2 の層の上に有機シラン-オゾン系のシリコン酸化膜を、前記第 1 の層の上より前記第 2 の層の上でのその堆積速度を遅くして同時に形成す

oxide film of organosilane -ozone type differs.

【0006】

In addition, as for semiconductor device which is stated in Claim 3, silicon oxide film and aforementioned second layer of organosilane -ozone type which was formed to region where second layer and aforementioned first layer which were formed on first conductive layer and this first conductive layer which pattern formation make on first layer across specified interval are not formed and interlayer insulating film which was formed on silicon oxide film of organosilane -ozone type and, It possesses second conductive layer which was formed on this interlayer insulating film, it is something which uses material where deposition rate of silicon oxide film of organosilane -ozone type is slower than aforementioned first layer as aforementioned second layer.

【0007】

In addition, semiconductor device which is stated in Claim 4 is something which uses silicon oxide film which nitriding does silicon substrate, silicon nitride film or surface as aforementioned first layer.

In addition, as for semiconductor device which is stated in Claim 5, in the sidewall of conductive layer under aforementioned second layer, deposition rate of the silicon oxide film of organosilane -ozone type, is something which provides buffer which consists of quick material in comparison with aforementioned first layer to be slow and same as aforementioned second layer or in comparison with second layer.

【0008】

In addition, manufacturing method of semiconductor device which is stated in Claim 6 with respect to layer of 2 kinds where material differs, is something which possesses step which making deposition rate differ, accumulates silicon oxide film of organosilane -ozone type simultaneously.

In addition, manufacturing method of semiconductor device which is stated in Claim 7 is something which uses material where deposition rate of silicon oxide film of organosilane -ozone type is slower than layer which is low location among layers of aforementioned 2 kinds, as layer which is in high position.

【0009】

In addition, as for manufacturing method of semiconductor device which is stated in the Claim 8, with respect to step, aforementioned first layer and second layer which pattern formation do conductive layer and second layer with respect to the step, this first layer which forms first layer on semiconductor substrate silicon oxide film of organosilane -ozone type, Making deposition rate with respect to

る工程とを有するものである。

【0010】

また、請求項 9 に記載の半導体装置の製造方法は、前記有機シラン-オゾン系のシリコン酸化膜を堆積する工程よりも前に、前記導電層の側壁に、有機シラン-オゾン系のシリコン酸化膜の堆積速度が、前記第 1 の層よりも遅く且つ前記第 2 の層と同じか又は第 2 の層よりも早い材質からなるバッファ部を設ける工程を行うものである。

【0011】

また、請求項 10 に記載の半導体装置の製造方法は、前記有機シラン-オゾン系のシリコン酸化膜を形成する工程の後に、この有機シラン-オゾン系のシリコン酸化膜の表面を研磨する工程を行うものである。

また、請求項 11 に記載の半導体装置の製造方法は、前記有機シラン-オゾン系のシリコン酸化膜を形成する工程の後に、このシリコン酸化膜の上に絶縁膜を形成する工程と、この絶縁膜の表面を研磨する工程を行うものである。

【0012】

また、請求項 12 に記載の半導体装置の製造方法は、前記研磨工程に、化学的機械研磨法を用いるものである。

【0013】

【作用】

TEOS オゾン系シリコン酸化膜などの有機シラン-オゾン系のシリコン酸化膜は、堆積時の下地の材質によって、その堆積速度が異なる。

下記の表 1 は、種々の材質からなる膜上に TEOS オゾン系シリコン酸化膜を堆積させた場合の速度比を示している。

【0014】

【表 1】

aforementioned second layer slower than with respect to aforementioned first layer, it is something which possesses step which it forms simultaneously.

【0010】

In addition, as for manufacturing method of semiconductor device which is stated in the Claim 9, in comparison with step which accumulates silicon oxide film of aforementioned organosilane -ozone type before, in sidewall of aforementioned conductive layer, deposition rate of silicon oxide film of organosilane -ozone type, It is something which does step which provides buffer which consists of quick material in comparison with aforementioned first layer to be slow and same as aforementioned second layer or in comparison with second layer.

【0011】

In addition, manufacturing method of semiconductor device which is stated in Claim 10 after step which forms silicon oxide film of aforementioned organosilane -ozone type, is something which does step which polishing does surface of the silicon oxide film of this organosilane -ozone type.

In addition, manufacturing method of semiconductor device which is stated in Claim 11 after step which forms silicon oxide film of aforementioned organosilane -ozone type, is something which does step which polishing does surface of the step. this insulating film which forms insulating film on this silicon oxide film.

【0012】

In addition, manufacturing method of semiconductor device which is stated in Claim 12 is something which uses chemical machine polishing method for aforementioned polishing step.

【0013】

【Working Principle】

As for silicon oxide film of TEOS ozone silicon oxide film or other organosilane -ozone type, in material of substrate when accumulating, deposition rate differs.

Below-mentioned Table 1 has shown speed ratio when TEOS ozone silicon oxide film is accumulated on film which consists of various material.

【0014】

【Table 1】

TEOSオゾン系シリコン酸化膜の堆積速度比	
堆積速度比	下地の材質
1	シリコン 窒化シリコン 表面を窒化処理した酸化シリコン アルミニウム
0.8~0.85	酸化シリコン (プラズマCVD法)
0.3~0.4	窒化チタン 窒化タングステン P S G (Phospho Silicate Glass)

【0015】

以上のような TEOS オゾン系シリコン酸化膜の特性を利用して、配線層間の凹部と配線層の上側とにおいて、TEOS オゾン系シリコン酸化膜の堆積速度が異なる層を形成し、TEOS オゾン系シリコン酸化膜の堆積速度を配線層の上側で遅く、配線層間の凹部側で早くなるようにして、層間絶縁膜の平坦化を図る。

具体的には、配線層間の凹部に設ける第 1 の層には、シリコン窒化膜又は表面を窒化処理したシリコン酸化膜のような TEOS オゾン系シリコン酸化膜の堆積速度が遅い膜を用い、配線層の上側に設ける第 2 の層にはプラズマ CVD 法にて形成したシリコン酸化膜のような TEOS オゾン系シリコン酸化膜の堆積速度が遅い膜を用いて、TEOS オゾン系シリコン酸化膜を堆積した後、層間絶縁膜の平坦化を促進する。

【0016】

また、このように TEOS オゾン系シリコン酸化膜などの有機シラン-オゾン系のシリコン酸化膜を堆積した場合、後述するが、表面の、下地配線層の端部に該当する個所が、小さく隆起することがある。

すなわち、有機シラン-オゾン系のシリコン酸化膜が、その成長が配線層の上部では第 2 の層

【0015】

Like above making use of characteristic of TEOS ozone silicon oxide film, planarization of interlayer insulating film is assured to form layer where deposition rate of TEOS ozone silicon oxide film differs in with recess between wiring layer and topside of the wiring layer, deposition rate of TEOS ozone silicon oxide film to be slow with topside of the wiring layer, to become quick with recess side between wiring layer.

In first layer which concretely, is provided in recess between wiring layer, making use of film where deposition rate of TEOS ozone silicon oxide film like silicon oxide film which was formed with plasma CVD method is slow to second layer which is provided in topside of wiring layer making use of the film where deposition rate of TEOS ozone silicon oxide film like silicon oxide film which the nitriding does silicon nitride film or surface is slow, After accumulating TEOS ozone silicon oxide film, planarization is promoted.

【0016】

In addition, this way when silicon oxide film of TEOS ozone silicon oxide film or other organosilane -ozone type is accumulated, it mentions later, but site which corresponds, on end of substrate wiring layer of surface, are times when elevation it does small.

silicon oxide film of namely, organosilane -ozone type, growth with upper part of wiring layer is held down by

の存在により抑えられているが、配線層の側壁部は配線層が露出したままである。

従って、下地配線層の端部では、有機シラン-オゾン系のシリコン酸化膜が、第 1 の層の持つ堆積速度による成長に、配線層自身が持つ堆積速度による成長が加わり、部分的に隆起部が発生する。

[0017]

このような隆起部の発生を抑えるには、有機シラン-オゾン系のシリコン酸化膜を堆積する前に、配線層の側壁に、有機シラン-オゾン系のシリコン酸化膜の堆積速度が、第 1 の層よりも遅く且つ前記第 2 の層と同じか又は第 2 の層よりも早い材質からなるバッファ部を設けておくことが有効である。

具体的には、Al 配線層間の凹部に設ける第 1 の層にシリコン窒化膜を用い、配線層の上側に設ける第 2 の層にプラズマ CVD 法にて形成したシリコン酸化膜を用い、バッファ部として第 2 の層と同じプラズマ CVD 法にて形成したシリコン酸化膜を用いる。

こうすることで、配線層の側壁部においても第 2 の層と同じ堆積速度で TEOS オゾン系シリコン酸化膜が成長するので、隆起部の発生が抑制される。

[0018]

特に、バッファ部として、有機シラン-オゾン系のシリコン酸化膜の堆積速度が、第 1 の層よりも遅く且つ第 2 の層よりも早い材質を用いる(例えば、第 1 の層としてシリコン窒化膜を、第 2 の層に窒化チタン膜を、バッファ部としてプラズマ CVD 法にて形成したシリコン酸化膜を用いる)ことにより、隆起部の発生は更に軽減することができる。

[0019]

また、このように小さな隆起部を、化学的機械研磨法(CMP:Chemical Mechanical Polishing)を利用して研磨し、平坦化させることにより、有機シラン-オゾン系のシリコン酸化膜の表面の平坦性がより良好となる。

前記 CMP 法とは、微小な研磨粒子を懸濁させた研磨剤を用い、ターンテーブルに貼り付けた研磨クロスをもって、ウェハー上の膜の高い部分のみを削り取る方法である。

ウェハー上の凸部は研磨クロスに先に接触し、

existence of second layer, but side wall of wiring layer wiring layer continues to expose.

Therefore, with end of substrate wiring layer, silicon oxide film of organosilane -ozone type, with deposition rate which first layer has in growth, growth joins with deposition rate which wiring layer itself has, partially protruding part occurs.

[0017]

To hold down occurrence of protruding part a this way, before accumulating silicon oxide film of organosilane -ozone type, in sidewall of wiring layer, the deposition rate of silicon oxide film of organosilane -ozone type, in comparison with first layer to be slow and same as aforementioned second layer or in comparison with second layer providing buffer which consists of quick material is effective.

As second layer silicon oxide film which was formed with same plasma CVD method is used for first layer which concretely, is provided in recess between Al wiring layer making use of silicon oxide film which in second layer which is provided in topside of wiring layer making use of silicon nitride film, was formed with plasma CVD method, as buffer.

Like this because by fact that it does, TEOS ozone silicon oxide film grows with same deposition rate as second layer regarding side wall of wiring layer, occurrence of protruding part is controlled.

[0018]

Especially, as buffer, deposition rate of silicon oxide film of organosilane -ozone type, furthermore can lighten occurrence of protruding part in comparison with first layer to be slow and in comparison with second layer by (As for example first layer silicon nitride film, for second layer silicon oxide film which was formed with plasma CVD method with titanium nitride film, as buffer it uses) thing which uses quick material.

[0019]

In addition, this way polishing it does small protruding part, making use of chemical machine polishing method (CMP:Chemical Mechanical Polishing), planarity of surface of silicon oxide film of organosilane -ozone type becomes satisfactorier by planarization doing.

Aforementioned CMP method having with polishing crossing which is stuck to the turn table making use of polishing agent which suspension does fine polishing particle, is method which scrapes-off only portion where film on the wafer is high.

projection on wafer contacts polishing cross first, applying

接触点の印加荷重が相対的に他の箇所より高くなって、早く研磨される。

逆に、凹部では、研磨クロスが接触しにくく研磨速度が遅いことから、凹凸の差が縮まり、平坦化が進む。

【0020】

研磨の前に、隆起部が発生した TEOS オゾン系シリコン酸化膜の上に、プラズマ CVD 法によるシリコン酸化膜などの絶縁膜を堆積させ、この絶縁膜を研磨することにより、過剰な研磨で下地配線層を傷つけるようなことはない。

【0021】

【実施例】

以下、本発明の実施例を各図面に基づいて具体的に説明する。

(第1実施例)図1は本発明の第1実施例による配線構造の模式的断面図である。

同図において、1はシリコン基板からなる半導体基板である。

半導体基板1上の全域にはシリコン窒化膜からなる第1の絶縁層2が形成されている。

第1の絶縁層(シリコン窒化膜)2の上には、互いに所定間隔を隔ててアルミ合金膜(Al-Si(1%)-Cu(0.5%))からなる第1の配線層3がパターン形成されている。

第1の配線層(Al合金膜)3の上には、シリコン酸化膜からなる第2の絶縁層4が形成されている。

第1の絶縁層(シリコン窒化膜)2上の第1の配線層(Al合金膜)3が形成されていない部分には、TEOS オゾン系シリコン酸化膜からなる第3の絶縁層5が形成されている。

【0022】

この第3の絶縁層(TEOS オゾン系シリコン酸化膜)5は平坦化層として用いられている。

第2の絶縁層(シリコン酸化膜)4上及び第3の絶縁層(TEOS オゾン系シリコン酸化膜)5の上には、シリコン酸化膜からなる第4の絶縁層6、アルミ合金膜(Al-Si(1%)-Cu(0.5%))からなる第2の配線層7がこの順に形成されている。

第4の絶縁層(Si酸化膜)6は、コンタクトホール(図示しない)の形成部以外で、第1の配線層(Al合金膜)3と第2の配線層(Al合金膜)7とを絶縁

load of the contact point becomes higher than other site relatively, polishing is done quickly.

Conversely, with recess, polishing cross is reduced to be difficult to contact from fact that polishing rate is slow, difference of relief, planarization advances.

【0020】

Before polishing, on TEOS ozone silicon oxide film where protruding part occurs, accumulating silicon oxide film or other insulating film with plasma CVD method, there are not kind of times when you damage substrate wiring layer with excessive polishing by polishing doing this insulating film.

【0021】

[Working Example(s)]

Below, Working Example of this invention is explained each based on the drawing concretely.

(first Working Example) Figure 1 is schematic sectional view of metallization structure with first Working Example of this invention.

In same Figure, 1 is semiconductor substrate which consists of silicon substrate.

first insulating layer 2 which consists of silicon nitride film is formed in entire area on the semiconductor substrate 1.

Al-Si (1%) -Cu layer first wiring layer 3 which consists of (0.5%) is done the pattern formation. first insulating layer (silicon nitride film) on 2, mutually across specified interval aluminum alloy film

first wiring layer (Al alloy film), second insulating layer 4 which consists of silicon oxide film is formed on 3.

first insulating layer (silicon nitride film) first wiring layer on 2 (Al alloy film), insulating layer 5 of third which consists of TEOS ozone silicon oxide film is formed in portion where 3 is not formed.

【0022】

insulating layer of this third (TEOS ozone silicon oxide film) 5 is used as planarization layer.

Al-Si (1%) -Cu layer second wiring layer 7 which consists of (0.5%) is formed to this order. second insulating layer (silicon oxide film) on 4 and insulating layer of third (TEOS ozone silicon oxide film) on 5, insulating layer 6, aluminum alloy film of 4th which consist of silicon oxide film

insulating layer of 4th (Si oxide film) 6, other than forming part of contact hole (unshown), the first wiring layer (Al alloy film) 3 and second wiring layer (Al alloy film)

している。

【0023】

以下、図 1 に示す配線構造の作成手順について、それを工程順に示した図 2、図 3 を参照して説明する。

工程 1(図 2a):シリコン基板からなる半導体基板 1 の上に、減圧 CVD 法を用いて、第 1 の絶縁層 2 となるシリコン窒化膜を 200nm 堆積する。

この減圧 CVD 法で用いられるガスは、モノシラン(SiH_4)、アンモニア(NH_3)、窒素(N_2)であり、成膜温度は 350~450 deg C である。

【0024】

工程 2(図 2b):前記第 1 の絶縁層(Si 窒化膜)2 の上に、マグネトロンスパッタ法を用い Al 合金膜 13 を形成する。

更に、プラズマ CVD 法により Si 酸化膜 14 を堆積した後、これらの上にフォトリソグラフィ法によってフォトレジスト 18 をパターン形成する。

前記プラズマ CVD 法で用いられるガスは、モノシランと亜酸化窒素($\text{SiH}_4 + \text{N}_2\text{O}$)、モノシランと酸素($\text{SiH}_4 + \text{O}_2$)、TEOS と酸素($\text{TEOS} + \text{O}_2$)などであり、成膜温度は 350~450 deg C である。

【0025】

工程 3(図 2c):フォトレジスト 18 をマスクとして、RIE 法(Reactive Ion Etching)法により前記 Si 酸化膜 14 をエッチング加工して第 2 の絶縁層 4 を形成し、更に、Al 合金膜 13 をエッチング加工して第 1 の配線層 3 を形成した後、フォトレジスト 18 を除去する。

その後、基板表面全域に TEOS オゾン系シリコン酸化膜 15 を常圧 CVD 法により堆積する。

この際、Si 酸化膜 14、Al 膜 13 の加工処理は、Al 膜 13 下側の第 1 の絶縁層(Si 窒化膜)2 の表面が露出するように行う。

前記常圧 CVD 法で用いられるガスは、TEOS とオゾン($\text{TEOS} + \text{O}_3$)で、その成膜温度は 350~450 deg C である。

【0026】

insulating has done 7.

【0023】

Referring to Figure 2, Figure 3 which shows that in process sequence, below, concerning generated sequence of metallization structure which is shown in Figure 1, you explain.

On semiconductor substrate 1 which consists of step 1 (Figure 2a): silicon substrate, silicon nitride film which becomes first insulating layer 2 making use of vacuum CVD method, is accumulated 200 nm.

As for gas which is used with this vacuum CVD method, monosilane ($\text{SiH}_{4\text{sub}4}$), ammonia ($\text{NH}_{3\text{sub}3}$), with nitrogen ($\text{N}_{2\text{sub}2}$), as for film formation temperature they are 350 - 450 deg C.

【0024】

step 2 (Figure 2b): aforementioned first insulating layer (Sinitrided film) on 2, Al alloy film 13 is formed making use of magnetron sputtering method.

Furthermore, after accumulating Sioxide film 14 with plasma CVD method, on these the photoresist 18 pattern formation is done with photolithography method.

As for gas which is used with aforementioned plasma CVD method, the monosilane and nitrous oxide ($\text{SiH}_{4\text{sub}4} + \text{N}_{2\text{sub}2}\text{O}$), monosilane and oxygen ($\text{SiH}_{4\text{sub}4} + \text{O}_{2\text{sub}2}$), as for film formation temperature with such as TEOS and oxygen ($\text{TEOS} + \text{O}_{2\text{sub}2}$) they are 350 - 450 deg C.

【0025】

etching doing aforementioned Sioxide film 14 with step 3 (Figure 2 c): photoresist 18 as mask, with RIE (Reactive Ion Etching) method, it forms second insulating layer 4, furthermore, the etching does Al alloy film 13 and after forming first wiring layer 3, it removes the photoresist 18.

After that, TEOS ozone silicon oxide film 15 is accumulated in substrate surface entire area with the ambient pressure CVD method.

this occasion, in order first insulating layer of aluminum film 13 underside (Sinitrided film) for surface of 2 to expose, it does processing of Sioxide film 14, aluminum film 13.

As for gas which is used with aforementioned ambient pressure CVD method, with the TEOS and ozone ($\text{TEOS} + \text{O}_{3\text{sub}3}$), as for film formation temperature they are 350 - 450 deg C.

【0026】

前記 TEOS オゾン系シリコン酸化膜 15 は、第 1 の絶縁層(Si 窒化膜)2 の上と、第 2 の層(Si 酸化膜)4 の上とは、前述の表 1 に示すように、堆積速度が異なっていて、第 1 の絶縁層(Si 窒化膜)2 の上の方が早く堆積される。

この堆積速度の違いによって、TEOS オゾン系シリコン酸化膜 15 の堆積後の表面の段差が緩和される。

例えば、TEOS オゾン系シリコン酸化膜 15 を第 1 の絶縁層(Si 窒化膜)2 の上に $1\mu\text{m}$ だけ堆積させると、表 1 に示す速度比によって、第 2 の絶縁層(Si 酸化膜)4 の上には TEOS オゾン系シリコン酸化膜がほぼ $0.8\mu\text{m}$ だけ堆積されることになり、絶対段差がほぼ $0.2\mu\text{m}$ だけ緩和される。

【0027】

工程 4(図 3d):前記 TEOS オゾン系シリコン酸化膜 15 をエッチバックして第 1 の絶縁層 5 を形成した後、プラズマ CVD 法によって第 4 の絶縁層 6 となる Si 酸化膜を堆積する。

工程 5(図 3e):前記第 4 の絶縁層(Si 酸化膜)6 の上に、マグネトロンスパッタ法により Al 合金膜 17 を堆積し、さらにその上にフォトリソグラフィ法によってフォトレジスト 19 をパターン形成する。

【0028】

工程 6(図 3f):前記フォトレジスト 19 をマスクとして、RIE 法により Al 合金膜 17 をエッチング加工して第 2 の配線層 7 を形成した後に、フォトレジスト 19 を除去して、図 1 に示す配線構造を作製する。

(第 2 実施例)図 4 は本発明の第 2 実施例による配線構造の模式的断面図である。

第 2 実施例は、配線層に TEOS オゾン系シリコン酸化膜が直接接触しないように、サイドウォールを形成した配線構造例を示している。

【0029】

尚、第 2 実施例において、第 1 実施例と同一部分には同一符号を用いて説明を省略する。

図 4 において、第 1 の配線層(Al 合金膜)3 及び第 2 の絶縁層(Si 酸化膜)4 の側壁には、シリコン酸化膜からなるサイドウォール 21 が形成されている。

【0030】

As for aforementioned TEOS ozone silicon oxide film 15, first insulating layer (Sinitrided film) on 2 and, second layer (Sioxide film) on 4, as shown in aforementioned Table 1, deposition rate differing, first insulating layer (Sinitrided film) direction on 2 is quickly accumulated.

In difference of this deposition rate, step of surface afteraccumulating TEOS ozone silicon oxide film 15 is eased.

When first insulating layer (Sinitrided film) just $1\mu\text{m}$ accumulates for example TEOS ozone silicon oxide film 15 on 2, with speed ratio which is shown in Table 1, second insulating layer (Sioxide film) on 4 the TEOS ozone silicon oxide film just almost $0.8\mu\text{m}$ comes to point of beingaccumulated, absolute step is eased just almost $0.2\mu\text{m}$.

【0027】

step 4 (Figure 3 d): etchback doing aforementioned TEOS ozone silicon oxide film 15, afterforming first insulating layer 5, it accumulates Sioxide film which becomes insulating layer 6 of 4 th with plasma CVD method.

step 5 (Figure 3 e): insulating layer of aforementioned 4 th (Sioxide film) on 6, the Al alloy film 17 is accumulated with magnetron sputtering method, furthermore on that photoresist 19 the pattern formation is done with photolithography method.

【0028】

etching doing Al alloy film 17 step 6 (Figure 3 f): with aforementioned photoresist 19 as mask, with RIE, after forming second wiring layer 7, removing the photoresist 19, it produces metallization structure which it shows in Figure 1.

(second Working Example) Figure 4 is schematic sectional view of metallization structure with second Working Example of this invention.

second Working Example, in order TEOS ozone silicon oxide film direct contact not to do in wiring layer, has shown metallization structural example which formed sidewall.

【0029】

Making use of same symbol explanation is abbreviated in same portion as first Working Example furthermore in second Working Example.

In Figure 4, first wiring layer (Al alloy film) 3 and second insulating layer (Sioxide film), sidewall 21 which consists of silicon oxide film is formed in sidewall of 4.

【0030】

その他の構造及び各層(膜)の形成方法は第 1 実施例と同じである。

本実施例において、サイドウォール 21 を設けるのには次の利点があるからである。

1) TEOS オゾン系シリコン酸化膜と Al 合金膜等の金属配線とが接触すると、TEOS オゾン系シリコン酸化膜に含まれている水分や水酸基が Al 合金を腐食させ、配線としての機能が低下するという問題が生じる。

サイドウォール 21 は、第 3 の絶縁層(TEOS オゾン系シリコン酸化膜)5 が第 1 の配線層(Al 合金膜)3 に直接接触するのを防止する。

【0031】

2) TEOS オゾン系シリコン酸化膜などの有機シラン-オゾン系のシリコン酸化膜を堆積させた場合、第 1 の配線層(Al 合金)3 の端部上に該当する箇所が、小さく隆起することがある。

このような隆起部の発生を抑えるのにもサイドウォール 21 は有効に機能する。

【0032】

すなわち、この実施例では、サイドウォール 21 として、第 2 の絶縁層 4 と同じプラズマ CVD 法にて形成した Si 酸化膜を用いる。

こうすることで、第 1 の配線層(Al 合金膜)3 の側壁部においても Si 酸化膜の堆積速度で第 3 の絶縁層(TEOS オゾン系シリコン酸化膜)5 が成長するので、堆積速度が Si 酸化膜よりも早い Al 合金膜が露出していることに比べ、第 1 の配線層(Al 合金)3 の端部における第 3 の絶縁層(TEOS オゾン系シリコン酸化膜)5 の成長が抑えられて隆起部が発生しにくくなる。

【0033】

以下、図 4 に示す配線構造の作製手順について、それを工程順に示した図 5~図 7 を参照して説明する。

工程(1)(図 5a): 半導体基板 1 の上に、第 1 の絶縁層 2 となるシリコン窒化膜を堆積する。

工程(2)(図 5b): 第 1 の絶縁層(Si 窒化膜)2 上に Al 合金膜 13 及びシリコン酸化膜 14 を堆積した後、これらの上にフォトリソグラフィ法によってフォトリソレジスト 18 をパターン形成する。

【0034】

工程(3)(図 5c): フォトリソレジスト 18 をマスクとして、

formation method of other structure and each layer (film) is same as the first Working Example.

In this working example, although sidewall 21 is provided, because there is the following benefit.

1) When TEOS ozone silicon oxide film and Al alloy film or other metal wiring contact, moisture and the hydroxy group which are included in TEOS ozone silicon oxide film decreases, problem that occurs function corroding, with Al alloy as metallization.

As for sidewall 21, insulating layer of third (TEOS ozone silicon oxide film) 5 first wiring layer (Al alloy film) prevents fact that direct contact it makes 3.

【0031】

2) When silicon oxide film of TEOS ozone silicon oxide film or other organosilane-ozone type is accumulated, first wiring layer (Al alloy) site which corresponds on end of 3, are times when the elevation it does small.

sidewall 21 functions effectively even to holding down occurrence of protruding part a this way.

【0032】

With namely, this Working Example, as second insulating layer 4 Sioxide film which was formed with same plasma CVD method is used as sidewall 21.

Like this because by fact that it does, insulating layer of third (TEOS ozone silicon oxide film) 5 grows with deposition rate of Sioxide film first wiring layer (Al alloy film) regarding side wall of 3, deposition rate in comparison with Sioxide film in comparison with the quick Al alloy film having exposed, first wiring layer (Al alloy) insulating layer of third in the end of 3 (TEOS ozone silicon oxide film) growth of 5 being held down, protruding part becomes difficult to occur.

【0033】

Referring to Figure 5 ~ Figure 7 which shows that in process sequence, below, concerning preparation order of metallization structure which is shown in Figure 4, you explain.

On Process (1) (Figure 5 a): semiconductor substrate 1, silicon nitride film which becomes first insulating layer 2 is accumulated.

Process (2) (Figure 5 b): first insulating layer (Sinitrided film) after accumulating Al alloy film 13 and silicon oxide film 14 on 2, on these photoresist 18 pattern formation is done with photolithography method.

【0034】

With Process (3) (Figure 5 c): photoresist 18 as mask,

Si 酸化膜 14 を加工して第 2 の絶縁層 4 を形成し、更に、Al 合金膜 13 を加工して第 1 の配線層 3 を形成した後、フォトリソ 18 を除去する。

工程(4) (図 6d):基板表面全域にプラズマ CVD 法を用いて、シリコン酸化膜 31 を堆積する。

このプラズマ CVD 法による形成条件は、第 1 実施例の工程 2 と同様である。

【0035】

工程(5) (図 6e):堆積した Si 酸化膜 31 に異方性のエッチバックを施して第 1 の配線層(Al 合金膜 3)及び第 2 の絶縁層(Si 酸化膜)4 の側壁を覆うようにサイドウォール 21 を形成する。

この際、Si 酸化膜 31 のエッチバック処理は、第 1 の配線層(Al 合金膜)3 下側の第 1 の絶縁層(Si 窒化膜)2 の表面が露出するように行う。

【0036】

工程(6) (図 6f):基板表面全域に TEOS オゾン系シリコン酸化膜 15 を堆積する。

TEOS オゾン系シリコン酸化膜 15 は、第 1 の絶縁層(Si 窒化膜)2 上と、第 2 の絶縁層(Si 酸化膜)4 上とは、前述の表 1 に示すように、堆積速度が異なっていて、第 1 の層(Si 窒化膜)2 上の方が早く堆積される。

この堆積速度の違いによって、TEOS オゾン系シリコン酸化膜 15 の堆積後の表面の段差が緩和される。

例えば、TEOS オゾン系シリコン酸化膜 15 を第 1 の絶縁層(Si 窒化膜)2 の上に $1\mu\text{m}$ だけ堆積させると、表 1 に示す速度比によって、第 2 の絶縁層(Si 酸化膜)4 の上には TEOS オゾン系シリコン酸化膜 15 がほぼ $0.8\mu\text{m}$ だけ堆積されることになり、絶対段差がほぼ $0.2\mu\text{m}$ だけ緩和される。

【0037】

工程(7) (図 7g):TEOS オゾン系シリコン酸化膜 15 をエッチバックして第 3 の絶縁層 5 を形成した後、第 4 の絶縁層 6 となるシリコン酸化膜を堆積する。

工程(8) (図 7h):第 4 の絶縁層(Si 酸化膜)6 の上に、アルミニウム膜 17 を堆積し、更にその上にフォトリソグラフィ法によってフォトリソ 19 をパターン形成する。

【0038】

processing Sioxide film 14, it forms second insulating layer 4, furthermore, processes Al alloy film 13 and after forming first wiring layer 3, it removes photoresist 18.

silicon oxide film 31 is accumulated in Process (4) (Figure 6 d):substrate surface entire area making use of the plasma CVD method.

molding condition is similar to step 2 of first Working Example with this plasma CVD method.

【0035】

Process (5) (Figure 6 e): administering etchback of anisotropy to Sioxide film 31 which is accumulated, in order first wiring layer (Al alloy film 3) and second insulating layer (Sioxide film) to cover sidewall of 4, it forms sidewall 21.

this occasion, in order first wiring layer (Al alloy film) first insulating layer of 3 underside (Sinitrided film) for the surface of 2 to expose, it does etchback process of Sioxide film 31.

【0036】

TEOS ozone silicon oxide film 15 is accumulated in step (6) (Figure 6 f):substrate surface entire area.

As for TEOS ozone silicon oxide film 15, first insulating layer (Sinitrided film) on 2, second insulating layer (Sioxide film) on 4, as shown in aforementioned Table 1, deposition rate differing, first layer (Sinitrided film) direction on 2 is quickly accumulated.

In difference of this deposition rate, step of surface after accumulating TEOS ozone silicon oxide film 15 is eased.

When first insulating layer (Sinitrided film) just $1\mu\text{m}$ accumulates for example TEOS ozone silicon oxide film 15 on 2, with speed ratio which is shown in Table 1, second insulating layer (Sioxide film) on 4 the TEOS ozone silicon oxide film 15 just almost $0.8\mu\text{m}$ comes to point of being accumulated, absolute step is eased just almost $0.2\mu\text{m}$.

【0037】

etchback doing step (7) (Figure 7 g):TEOS ozone silicon oxide film 15, after forming insulating layer 5 of third, it accumulates silicon oxide film which becomes insulating layer 6 of 4 th.

step (8) (Figure 7 h): insulating layer of 4 th (Sioxide film) on 6, aluminum film 17 is accumulated, furthermore on that photoresist 19 pattern formation is done with the photolithography method.

【0038】

工程(9) (図 7i):フォトレジスト 19 をマスクとして Al 合金膜 17 をエッチング加工し、第 2 の配線層 7 を形成した後に、フォトレジスト 19 を除去して、図 4 に示す配線構造を作製する。

(第 3 実施例)図 8 は本発明の第 3 実施例による配線構造の模式的断面図である。

上述した第 1、第 2 実施例では、第 1 の配線層 (Al 合金膜) 3 に反射防止層を設けていない場合について説明した。

以下に示す第 3 実施例は、第 1 の配線層 (Al 合金膜 3) に反射防止層を設けている例である。

[0039]

このように、反射防止層を設けることにより、リソグラフィ工程時において、露光光が下地に反射してパターンニング不良が発生することを防止している。

尚、本第 3 実施例において、第 1、第 2 実施例と同一部分には同一番号を付して説明を省略する。

図 8 において、第 1 の配線層 (Al 合金膜) 3 の上には、表面がフッ化処理された窒化チタン膜からなる反射防止層 41 が形成されている。

その他の構造及び各層 (膜) の形成方法は第 1 実施例や第 2 実施例と同じである。

[0040]

以下、図 8 に示す配線構造の作製手順について、それを工程順に示した図 9~図 11 を参照して説明する。

工程 1 (図 9a): 半導体基板 1 の上に、第 1 の絶縁層 2 となるシリコン窒化膜を堆積する。

工程 2 (図 9b): 第 1 の絶縁層 (Si 窒化膜) 2 の上にアルミニウム膜 13 を形成した後、その上に、マグネトロンスパッタリング法を用いて、窒化チタン膜 51 を堆積する。

そして、これらの上にフォトリソグラフィ法によってフォトレジスト 18 をパターン形成する。

[0041]

工程 3 (図 9c): フォトレジスト 18 をマスクとして窒化チタン膜 51、Al 膜 13 を加工し、反射防止層

etching it does Al alloy film 17 with step (9) (Figure 7 i); photoresist 19 as mask, after forming second wiring layer 7, removing photoresist 19, it produces metallization structure which it shows in Figure 4.

(third Working Example) Figure 8 is schematic sectional view of metallization structure with third Working Example of this invention.

With first, second Working Example which description above is done, when first wiring layer (Al alloy film) antireflective layer is not provided in 3, being attached, you explained.

third Working Example which is shown below is example which provides antireflective layer in first wiring layer (Al alloy film 3).

[0039]

this way, exposure light reflecting in substrate by providing the antireflective layer, in time of lithography step, fact that patterning deficiency occurs is prevented.

Furthermore same number on same portion as first, second Working Example attaching in this third Working Example, it abbreviates explanation.

In Figure 8, first wiring layer (Al alloy film) antireflective layer 41 which consists of titanium nitride film where surface fluorination is done, to on 3 is formed.

formation method of other structure and each layer (film) is same as the first Working Example and second Working Example.

[0040]

Referring to Figure 9~Figure 11 which shows that in process sequence, below, concerning preparation order of metallization structure which is shown in Figure 8, you explain.

On step 1 (Figure 9 a): semiconductor substrate 1, silicon nitride film which becomes first insulating layer 2 is accumulated.

step 2 (Figure 9 b): first insulating layer (Sinitrided film) after forming aluminum film 13 on 2, on that, titanium nitride film 51 is accumulated making use of magnetron sputtering method.

And, on these photoresist 18 pattern formation is done with photolithography method.

[0041]

titanium nitride film 51, aluminum film 13 is processed with step 3 (Figure 9 c): photoresist 18 as mask, after forming

41、第1の配線層3を形成した後、フォトリソ resist 18 を除去する。

工程 4(図 10d):基板表面全域にプラズマ CVD 法によりシリコン酸化膜 31 を堆積する。

[0042]

工程 5(図 10e):堆積した Si 酸化膜 31 に異方性のエッチバックを施して第1の配線層(Al 合金膜 3)及び反射防止層(窒化チタン膜)41の側壁を覆うようにサイドウォール 21 を形成する。

この際、Si 酸化膜 31 のエッチバック処理は、第1の配線層(Al 膜)3 下側の第1の絶縁層(Si 窒化膜)2 の表面が露出するように行う。

[0043]

本第3 実施例におけるサイドウォール 21 も、第2 実施例と同様の効果を有するが、特に、この第3 実施例では、サイドウォール 21 として、反射防止層(窒化チタン膜)41 よりも TEOS オゾン系シリコン酸化膜の堆積速度が早いプラズマ CVD 法にて形成した Si 酸化膜を用いているので、第1 の配線層(Al 合金)3 の端部における第3 の絶縁層(TEOS オゾン系シリコン酸化膜)5 の成長を更に抑えることができ、隆起部の発生度合いもより低くなる。

[0044]

そして、露出した反射防止層(窒化チタン膜)41 の表面にフッ化処理を施す。

このフッ化処理は、TEOS オゾン系シリコン酸化膜の堆積速度を低下させるために行うものであって、例えば、 CF_4 又は C_2F_6 等フッ素を含むガスの雰囲気中、反射防止層 41 の表面をプラズマ処理するという方法で行う。

但し、本発明者の実験によれば、堆積条件を調整することにより、窒化チタン膜をフッ化処理しなくても、フッ化処理したものと同様の堆積速度を得られることが分かっている。

[0045]

工程 6(図 10f):上部全域に TEOS オゾン系シリコン酸化膜 15 を堆積する。

TEOS オゾン系シリコン酸化膜 15 は、第1 の絶縁層(Si 窒化膜)2 の上と、フッ化処理された反射防止層(窒化チタン膜)41 の上とでは、前述の表 1 に示すように、堆積速度が異なっていて、第1 の絶縁層(Si 窒化膜)2 の上の方が早く堆積される。

antireflective layer 41, first wiring layer 3, photoresist 18 is removed.

silicon oxide film 31 is accumulated in step 4 (Figure 10 d):substrate surface entire area with plasma CVD method .

[0042]

step 5 (Figure 10 e): administering etchback of anisotropy to Sioxide film 31 which is accumulated, in order first wiring layer (Al alloy film 3) and antireflective layer (titanium nitride film) to cover the sidewall of 41, it forms sidewall 21.

this occasion, in order first wiring layer (aluminum film) first insulating layer of 3 underside (Sinitrided film) for the surface of 2 to expose, it does etchback process of Sioxide film 31 .

[0043]

Also sidewall 21 in this third Working Example , has effect which is similar to the second Working Example , but because especially, with this third Working Example , Sioxide film which was formed with plasma CVD method where deposition rate of TEOS ozone silicon oxide film is quick as sidewall 21, antireflective layer (titanium nitride film) in comparison with 41 is used, first wiring layer (Al alloy) insulating layer of third in end of 3 (TEOS ozone silicon oxide film) furthermore to be able hold down growth of 5, Also extent of occurrence of protruding part becomes lower.

[0044]

And, antireflective layer which is exposed (titanium nitride film) fluorination is administered to the surface of 41.

deposition rate of TEOS ozone silicon oxide film being something which is done in order to decrease, it does this fluorination , with method that fluorine with atmosphere of gas which such as for example CF_4 or C_2F_6 includes, plasma treatment does the surface of antireflective layer 41.

However, according to experiment of this inventor , by adjusting deposition condition , fluorination not doing titanium nitride film , deposition rate which is similar to those which fluorination are done it understands that it is acquired.

[0045]

TEOS ozone silicon oxide film 15 is accumulated in step 6 (Figure 10 f):upper part entire area .

As for TEOS ozone silicon oxide film 15, first insulating layer (Sinitrided film) on 2 and, antireflective layer which the fluorination is done (titanium nitride film) on 41, as shown in aforementioned Table 1 , the deposition rate differing, first insulating layer (Sinitrided film) direction on 2 is quickly accumulated.

この堆積速度の違いによって、TEOS オゾン系シリコン酸化膜 15 の堆積後の表面の段差が緩和される。

例えば、TEOS オゾン系シリコン酸化膜 15 を第 1 の絶縁層 (Si 窒化膜) 2 の上に $1\mu\text{m}$ だけ堆積させると、表 1 に示す速度比によって、反射防止層 (窒化チタン膜) 41 の上には TEOS オゾン系シリコン酸化膜 15 がほぼ $0.4\mu\text{m}$ だけ堆積されることになり、絶対段差がほぼ $0.6\mu\text{m}$ だけ緩和される。

【0046】

工程 7 (図 11g): TEOS オゾン系シリコン酸化膜 15 をエッチバックして第 3 の絶縁層 5 を形成した後、プラズマ CVD 法によって第 4 の絶縁層 6 となるシリコン酸化膜を堆積する。

工程 8 (図 11h): 第 4 の絶縁層 (Si 酸化膜) 6 の上に、Al 合金膜 17 を堆積し、更にその上にフォトリソグラフィ法によってフォトレジスト 19 をパターン形成する。

【0047】

工程 9 (図 11i): 最後に、フォトレジスト 19 をマスクとして Al 合金膜 17 をエッチング加工し、第 2 の配線層 7 を形成した後に、フォトレジスト 19 を除去して、図 8 に示す配線構造を作製する。

(第 4 実施例)ところで、以上の実施例(特に第 1 実施例)にあつては、前述したように、TEOS オゾン系シリコン酸化膜 15 を堆積した際に、その表面の、下地配線層の端部上に相当する個所に、小さな隆起部が発生することがある。

そして、このような隆起部を残したまま TEOS オゾン系シリコン酸化膜 15 をエッチバックしても、表面の形状を引き継いでエッチバックされるので、この隆起部は解消されない。

【0048】

以下、化学的機械研摩法を利用した第 4 の実施例を、図 12 に示す工程断面図に従って説明する。

尚、上述の実施例と同じ構成については同じ符号を用い説明を省略する。

また、各層(膜)の形成方法も上述の実施例と同じである。

工程 1 (図 12A): 半導体基板 1 上に、第 1 の絶縁層 2 となるシリコン窒化膜を堆積する。

In difference of this deposition rate, step of surface after accumulating TEOS ozone silicon oxide film 15 is eased.

When first insulating layer (Sinitrided film) just $1\mu\text{m}$ accumulates for example TEOS ozone silicon oxide film 15 on 2, with speed ratio which is shown in Table 1, antireflective layer (titanium nitride film) on 41 the TEOS ozone silicon oxide film 15 just almost $0.4\mu\text{m}$ comes to point of being accumulated, absolute step is eased just almost $0.6\mu\text{m}$.

【0046】

etchback doing step 7 (Figure 11 g): TEOS ozone silicon oxide film 15, after forming insulating layer 5 of third, it accumulates silicon oxide film which becomes insulating layer 6 of 4 th with plasma CVD method.

step 8 (Figure 11 h): insulating layer of 4 th (Sioxide film) on 6, Al alloy film 17 is accumulated, furthermore on that photoresist 19 pattern formation is done with photolithography method.

【0047】

step 9 (Figure 11 i): lastly, etching it does Al alloy film 17 with photoresist 19 as mask, after forming second wiring layer 7, removing photoresist 19, it produces metallization structure which it shows in Figure 8.

At (4 th Working Example) place, there being a Working Example (Especially first Working Example) above, as mentioned earlier, occasion where it accumulates TEOS ozone silicon oxide film 15, in site which is suitable, on end of substrate wiring layer of surface, there are times when small protruding part occurs.

And, while protruding part a this way is left etchback doing TEOS ozone silicon oxide film 15, taking over shape of surface, because etchback it is done, this protruding part is not cancelled.

【0048】

Below, following to step sectional view which shows Working Example of 4 th which utilize chemical machine polishing method, in Figure 12 you explain.

Furthermore explanation is abbreviated making use of same symbol concerning same configuration as above-mentioned Working Example.

In addition, also formation method of each layer (film) is same as the above-mentioned Working Example.

On step I (Figure 12 A): semiconductor substrate 1, silicon nitride film which becomes first insulating layer 2 is accumulated.

更に、第1の絶縁層(Si窒化膜)2上にアルミニウム膜13を形成した後、その上に、窒化チタン膜51を堆積する。

そして、これらの上にフォトリソグラフィ法によってフォトレジストをパターン形成する。

【0049】

フォトレジストをマスクとして窒化チタン膜51、Al膜13を配線形状に加工した後、フォトレジストを除去する。

そして、露出した窒化チタン膜51の表面にフッ化処理を施す。

工程II(図12B):上部全域にTEOSオゾン系シリコン酸化膜15を堆積する。

TEOSオゾン系シリコン酸化膜15は、第1の絶縁層(Si窒化膜)2の上と、フッ化処理された窒化チタン膜51の上とでは、前述の表1に示すように、堆積速度が異なっていて、第1の絶縁層(Si窒化膜)2の上の方が早く堆積される。

この堆積速度の違いによって、TEOSオゾン系シリコン酸化膜15の堆積後の表面の段差が緩和される。

【0050】

この際、TEOSオゾン系シリコン酸化膜15の表面には、下地配線の両端部上に該当する個所に、小さな隆起部52**が発生する。

すなわち、TEOSオゾン系シリコン酸化膜15は、その成長が配線層の上部では窒化チタン膜51の存在により抑えられているが、Al膜13の側壁部はAlが露出したままである。

従って、Al膜13の端部では、TEOSオゾン系シリコン酸化膜15が、第1の絶縁層(Si窒化膜)2の持つ堆積速度による成長に、Al自身が持つ堆積速度による成長が加わり、部分的に隆起部が発生する。

【0051】

工程III(図12C):化学的機械研磨法を用いて、TEOSオゾン系シリコン酸化膜15の表面を研磨して、前記隆起部52**を除去する。

工程IV(図12D):研磨によってTEOSオゾン系シリコン酸化膜15の表面にダメージ層が形成されることがあるので、これをカバーするために、表面全体に、プラズマCVD法により第4の絶縁層6となるシリコン酸化膜を堆積する。

【0052】

Furthermore, first insulating layer (Sinitrided film) after forming aluminum film 13 on 2, on that, the titanium nitride film 51 is accumulated.

And, on these photoresist pattern formation is done with photolithography method.

【0049】

After processing titanium nitride film 51, aluminum film 13 in metallization shape with photoresist as mask, photoresist is removed.

And, fluorination is administered to surface of titanium nitride film 51 which is exposed.

TEOS ozone silicon oxide film 15 is accumulated in step II (Figure 12 B):upper part entire area.

As for TEOS ozone silicon oxide film 15, first insulating layer (Sinitrided film) on 2 and, on titanium nitride film 51 which the fluorination is done, as shown in aforementioned Table 1, deposition rate differing, first insulating layer (Sinitrided film) direction on 2 is quickly accumulated.

In difference of this deposition rate, step of surface after accumulating TEOS ozone silicon oxide film 15 is eased.

【0050】

this occasion, in site which corresponds on both ends of the substrate metallization, small protruding part 52** occurs in surface of TEOS ozone silicon oxide film 15.

As for namely, TEOS ozone silicon oxide film 15, growth with upper part of wiring layer is held down by existence of titanium nitride film 51, but side wall of aluminum film 13 the Al continues to expose.

Therefore, with end of aluminum film 13, TEOS ozone silicon oxide film 15, first insulating layer (Sinitrided film) with deposition rate which 2 has in growth, growth joins with deposition rate which Al itself has, partially protruding part occurs.

【0051】

Making use of step III (Figure 12 C):chemical machine polishing method, polishing doing surface of the TEOS ozone silicon oxide film 15, it removes aforementioned protruding part 52**.

Because there are times when damage layer is formed to surface of the TEOS ozone silicon oxide film 15 with step IV (Figure 12 D):polishing, in order cover to do this, in entire surface, silicon oxide film which becomes insulating layer 6 of 4th depending upon plasma CVD method is accumulated.

【0052】

その後は、図示しないが、第4の絶縁層(Si酸化膜)6の上に、Al合金膜を形成し、配線パターンとして加工する。

尚、前記工程 III と工程 IV との間に、上述の実施例と同様に、TEOS オゾン系シリコン酸化膜 15 をエッチバックして第 3 の絶縁層を形成する工程を行ってもよい。

[0053]

(第 5 実施例) 第 5 の実施例として、CMP 法による研磨で配線材が露出しないようにするために、研磨シロとして、研磨の前にプラズマ酸化膜を堆積させる例を図 13 に示す工程断面図に従って説明する。

尚、上述の実施例と同じ構成については同じ符号を用い説明を省略する。

また、各層(膜)の形成方法も上述の実施例と同じである。

[0054]

工程 i(図 13A): 第 4 実施例の工程 I 及び工程 II と同様の手法で、基板の上部全域に TEOS オゾン系シリコン酸化膜 15 を堆積する。

工程 ii(図 13B): TEOS オゾン系シリコン酸化膜 15 の上に、プラズマ CVD 法により第 5 の絶縁層 53 となるシリコン酸化膜を 200~500nm 堆積する。

この第 5 の絶縁層 53 は CMP 法による研磨時の研磨シロとなる。

[0055]

工程 iii(図 13C): 化学的機械研磨法を用いて、第 5 の絶縁層 53 の表面を研磨して平坦化させる。

工程 iv(図 13D): 研磨によって第 5 の絶縁層 53 の表面にダメージ層が形成されることがあるので、これをカバーするために、表面全体に、プラズマ CVD 法により第 6 の絶縁層 54 となるシリコン酸化膜を堆積する。

[0056]

その後は、図示しないが、第 6 の絶縁層(Si酸化膜)54 の上に、Al 合金膜を形成し、配線パターンとして加工する。

これら第 4 及び第 5 実施例のように、CMP 法を用いた研磨は、その研磨速度が、研磨器具によ

After that, unshown, insulating layer of 4 th (Sioxide film) on 6, to form the Al alloy film, it processes as wiring pattern.

Furthermore in aforementioned step III and between step IV, in the same way as above-mentioned Working Example, etchback doing TEOS ozone silicon oxide film 15, it is possible to do step which forms insulating layer of the third.

[0053]

(5 th Working Example) As Working Example of 5 th, because with CMP method metallization material that tries does not expose with polishing, following to step sectional view which shows example which accumulates plasma oxide film before polishing [shiro] as, in Figure 13 you explain.

Furthermore explanation is abbreviated making use of same symbol concerning same configuration as above-mentioned Working Example.

In addition, also formation method of each layer (film) is same as the above-mentioned Working Example.

[0054]

step i (Figure 13 A): with technique which is similar to step I and the step II of 4 th Working Example, TEOS ozone silicon oxide film 15 is accumulated in upper part entire area of the substrate.

On step ii (Figure 13 B): TEOS ozone silicon oxide film 15, silicon oxide film which becomes insulating layer 53 of 5 th depending upon plasma CVD method is accumulated 200 - 500 nm.

insulating layer 53 of this 5th polishing at time of polishing [shiro] with becomes with CMP method.

[0055]

Making use of step iii (Figure 13 C): chemical machine polishing method, polishing doing surface of the insulating layer 53 of 5 th, planarization it does.

Because there are times when damage layer is formed to surface of the insulating layer 53 of 5 th with step iv (Figure 13 D): polishing, in order cover to do this, in entire surface, silicon oxide film which becomes insulating layer 54 of 6 th depending upon plasma CVD method is accumulated.

[0056]

After that, unshown, insulating layer of 6 th (Sioxide film) on 54, to form the Al alloy film, it processes as wiring pattern.

Like these 4 th and 5 th Working Example, polishing which uses CMP method, changes with size of uneven surface of site

り基板を押さえ付ける圧力に比例するために、研磨しようとする個所の凹凸面の大きさによって変化し、研磨後の膜厚にバラツキが生じやすいが、本発明で発生する程度の隆起部を研磨するぶんには、何ら支障はない。

[0057]

従って、本発明のように、下地膜の材質を調整して TEOS オゾン系シリコン酸化膜 15 を堆積させる手法にあつては、TEOS オゾン系シリコン酸化膜 15 の表面に大きな凹凸を発生させることなく、せいぜい隆起部 52 のような小さなものが発生するのみであるので、CMP 法により良好な研磨効果を得ることができる。

[0058]

また、上述した各実施例では、平坦性に優れた層間絶縁膜を形成できるので、この上に形成する配線層のパターニングが安定して、配線層自体の信頼性も向上する。

また、薄いシリコン窒化膜を層間膜中に形成しているので、水分の下層への透過が抑制されて、下側のトランジスタの信頼性も向上する。

尚、本発明は以上の実施例に限定されるものではなく、以下のように実施してもよい。

[0059]

a) 上述した各実施例においては、有機シラン-オゾン系のシリコン酸化膜として TEOS オゾン系シリコン酸化膜を用いたが、これ以外にも TMOS (Tetra Methoxy Silane)、TEOFS (Triethoxy Fluoro Silane)、アルコキシ基又はフッ素を含む基を有する有機シランとオゾンなどでも同様の効果を得ることができる。

[0060]

b) 上述した各実施例においては、TEOS オゾン系シリコン酸化膜の堆積速度が速い層としてシリコン窒化膜を用いたが、表面を窒化処理したシリコン酸化膜を用いても、表 1 に示すように、TEOS オゾン系シリコン酸化膜の堆積速度は速いので、同様の効果を奏することはもちろんである。

その他、表 1 に示す TEOS オゾン系シリコン酸化膜の堆積速度が速い層と遅い層とを適宜組み合わせ用いればよい。

[0061]

which it tries that polishing rate, polishing will make because it is proportionate to the pressure which is accustomed to holding down substrate with polishing tool, variation is easy to occur in film thickness after polishing, but protruding part of extent which occurs with this invention is done polishing, * it is, there is not a what hindrance.

[0057]

Therefore, like this invention, adjusting material of base film, therebeing a technique which accumulates TEOS ozone silicon oxide film 15, because small ones like at very most protruding part 52 without generating relief which is large to surface of TEOS ozone silicon oxide film 15, are occur only, it can acquire satisfactory polishing effect with CMP method.

[0058]

In addition, because with each Working Example which description above is done, interlayer insulating film which is superior in planarity can be formed, the patterning of wiring layer which is formed on this stabilizing, also the reliability of wiring layer itself improves.

In addition, because thin silicon nitride film is formed in interlayer film, transmission to bottom layer of moisture being controlled, also reliability of transistor of underside improves.

Furthermore this invention it is not something which is limited in the Working Example above, like below it is possible to execute.

[0059]

Regarding each Working Example which a) description above is done, the TEOS ozone silicon oxide film was used as silicon oxide film of organosilane-ozone type, but in addition to this TMOS (Tetra Methoxy Silane), TEOFS (Triethoxy Fluoro Silane), can be acquired similar effect organosilane and even such as ozone which possess basis which includes the alkoxy group or fluorine.

[0060]

silicon nitride film was used as layer where deposition rate of TEOS ozone silicon oxide film is fast regarding each Working Example which b) description above is done, but making use of silicon oxide film which nitriding does surface, as shown in Table 1, because deposition rate of TEOS ozone silicon oxide film is fast, fact that it possesses similar effect is of course.

In addition, layer where deposition rate of TEOS ozone silicon oxide film which is shown in Table 1 is fast as needed combining slow layer, it should have used.

[0061]

c)上述の実施例は、第1層配線と第2層配線との間の層間絶縁膜の平坦化について説明したが、それより上の配線間に適用してもよい。

例えば、上述した各実施例において、第2の配線層7より下側に第1の絶縁層2と同じシリコン窒化膜(または表面を窒化処理したシリコン酸化膜)を設けておけば、第2の配線層7の上側の絶縁層の平坦化を図ることができ、更なる配線層の多層化にも同様に対応できる。

[0062]

d)スパッタリングの方法として、マグネトロンスパッタリング以外に、ダイオードスパッタリング、高周波スパッタリング、四極スパッタリングなどのようなものであってもよい。

e)TEOS オゾン系シリコン酸化膜の堆積速度が遅い膜としてのシリコン酸化膜4はプラズマCVD法により形成したが、減圧CVD法、常圧CVD法などの方法で形成しても同様の性質を得ることができる。

[0063]

f)シリコン酸化膜6, 54はCVD以外の方法(スパッタ法や蒸着法などのPVD法、酸化法)によって形成してもよい。

g)シリコン酸化膜6, 54を他の絶縁膜(各種シリケートガラス、アルミナ、シリコン窒化膜、チタン酸化膜)などに置き換えてもよい。

[0064]

[発明の効果]

以上のように、本発明では、配線層間の凹部の絶縁層として有機シラン-オゾン系のシリコン酸化膜の堆積速度が速い、シリコン窒化膜または表面を窒化処理したシリコン酸化膜等の膜を用い、配線層上側の絶縁層として有機シラン-オゾン系のシリコン酸化膜の堆積速度が遅い、プラズマCVD法によるシリコン酸化膜、反射防止層としての窒化チタン膜等の膜を用いるので、有機シラン-オゾン系のシリコン酸化膜を堆積する工程においてその平坦性を促進できる。

[0065]

その結果、工程の増加、複雑化を招くことなく、層間絶縁膜の平坦化を実現でき、この上に形成される配線層のパターニングが安定して、配線の信頼性が向上し、信頼性が高い半導体デバイス等を高い歩留まりにて提供することができ

You explained c) above-mentioned Working Example, concerning planarization of interlayer insulating film between first layer metallization and second layer metallization, but from that it is possible to apply between metallization above.

If from second wiring layer 7 same silicon nitride film (Or silicon oxide film which nitriding does surface) as first insulating layer 2 is provided in the underside in each Working Example which for example description above is done, it is possible, can correspond in same way to also multilayering of the further wiring layer to assure planarization of insulating layer of top side of the second wiring layer 7.

[0062]

As method of d) sputtering, other than magnetron sputtering, it is good even with diode sputtering, high frequency sputtering, four pole sputtering or other ones.

It formed silicon oxide film 4 as film where deposition rate of e) TEOS ozone silicon oxide film is slow with plasma CVD method, but forming with vacuum CVD method, ambient pressure CVD method or other method, it can acquire the similar property.

[0063]

It is possible to form f) silicon oxide film 6, 54 with method (sputtering method and vapor deposition method or other PVD method, oxidation method) other than the CVD.

It is possible to replace g) silicon oxide film 6, 54 to other insulating film (Various silicate glass, alumina, silicon nitride film, titanate conversion film) etc.

[0064]

[Effects of the Invention]

Like above, with this invention, deposition rate of silicon oxide film of organosilane-ozone type is fast as insulating layer of recess between wiring layer, deposition rate of the silicon oxide film of organosilane-ozone type is slow making use of silicon oxide film or other film which nitriding does silicon nitride film or surface, as insulating layer of wiring layer top side, because the titanium nitride film or other film as silicon oxide film, antireflective layer is used with plasma CVD method, planarity can be promoted in step which accumulates silicon oxide film of organosilane-ozone type.

[0065]

As a result, be able to actualize planarization of interlayer insulating film, patterning of wiring layer which is formed on this stabilizing, reliability of the metallization improves, semiconductor device etc where reliability is high can be offered with high yield without causing increase and

る。

上記の効果に加えて、請求項 5 及び 9 に記載の発明にあつては、有機シラン-オゾン系のシリコン酸化膜を堆積した際に生じることのある隆起部の発生度合いを軽減することができ、更なる平坦化を実現できる。

【0066】

また、請求項 10 乃至 12 に記載の発明にあつては、有機シラン-オゾン系のシリコン酸化膜を堆積した際に生じることのある隆起部をも解消するものであるので、平坦性はより良好である。

【図面の簡単な説明】

【図 1】

本発明の第 1 実施例の半導体装置の配線構造を示す模式的断面図である。

【図 2】

図 1 に示す配線構造の作製工程を示す断面図である。

【図 3】

図 1 に示す配線構造の作製工程を示す断面図である。

【図 4】

本発明の第 2 実施例の半導体装置の配線構造を示す模式的断面図である。

【図 5】

図 4 に示す配線構造の作製工程を示す断面図である。

【図 6】

図 4 に示す配線構造の作製工程を示す断面図である。

【図 7】

図 4 に示す配線構造の作製工程を示す断面図である。

【図 8】

本発明の第 3 実施例の半導体装置の配線構造を示す模式的断面図である。

【図 9】

complication of the step .

In addition to above-mentioned effect, there being invention which is stated in Claim 5 and 9, it can lighten extent of occurrence of protruding part which has fact that it occurs occasion where it accumulates the silicon oxide film of organosilane -ozone type further planarization can actualize.

【0066】

In addition, there being invention which is stated in Claim 10 to 12, because it is something which cancels also protruding part which has the fact that it occurs occasion where it accumulates silicon oxide film of organosilane -ozone type, planarity is satisfactory.

[Brief Explanation of the Drawing(s)]

[Figure 1]

It is a schematic sectional view which shows metallization structure of semiconductor device of first Working Example of the this invention .

[Figure 2]

It is a sectional view which shows preparation step of metallization structure which is shown in the Figure 1 .

[Figure 3]

It is a sectional view which shows preparation step of metallization structure which is shown in the Figure 1 .

[Figure 4]

It is a schematic sectional view which shows metallization structure of semiconductor device of second Working Example of the this invention .

[Figure 5]

It is a sectional view which shows preparation step of metallization structure which is shown in the Figure 4 .

[Figure 6]

It is a sectional view which shows preparation step of metallization structure which is shown in the Figure 4 .

[Figure 7]

It is a sectional view which shows preparation step of metallization structure which is shown in the Figure 4 .

[Figure 8]

It is a schematic sectional view which shows metallization structure of semiconductor device of third Working Example of the this invention .

[Figure 9]

図 8 に示す配線構造の作製工程を示す断面図である。

【図10】

図 8 に示す配線構造の作製工程を示す断面図である。

【図11】

図 8 に示す配線構造の作製工程を示す断面図である。

【図12】

本発明の第 4 実施例の半導体装置の配線構造の作製工程を示す断面図である。

【図13】

本発明の第 5 実施例の半導体装置の配線構造の作製工程を示す断面図である。

【符号の説明】

- 1
半導体基板(シリコン基板)
- 15
TEOS オゾン系シリコン酸化膜(有機シラン-オゾン系のシリコン酸化膜)
- 2
第 1 の絶縁層(シリコン窒化膜)(第 1 の層)
- 21
サイドウォール(シリコン酸化膜)(バッファ部)
- 3
第 1 の配線層(アルミニウム膜)
- 4
第 2 の絶縁層(シリコン酸化膜)(第 2 の層)
- 41
反射防止層(窒化チタン膜)(第 2 の層)
- 5
第 3 の絶縁層(TEOS オゾン系シリコン酸化膜)
- 52
隆起部
- 53
第 5 の絶縁層(シリコン酸化膜)

It is a sectional view which shows preparation step of metallization structure which is shown in the Figure 8 .

[Figure 10]

It is a sectional view which shows preparation step of metallization structure which is shown in the Figure 8 .

[Figure 11]

It is a sectional view which shows preparation step of metallization structure which is shown in the Figure 8 .

[Figure 12]

It is a sectional view which shows preparation step of metallization structure of semiconductor device of 4 th Working Example of this invention .

[Figure 13]

It is a sectional view which shows preparation step of metallization structure of semiconductor device of 5 th Working Example of this invention .

[Explanation of Symbols in Drawings]

- 1
semiconductor substrate (silicon substrate)
- 15
TEOS ozone silicon oxide film (silicon oxide film of organosilane -ozone type)
- 2
first insulating layer (silicon nitride film) (first layer)
- 21
sidewall (silicon oxide film) (buffer)
- 3
first wiring layer (aluminum film)
- 4
second insulating layer (silicon oxide film) (second layer)
- 41
antireflective layer (titanium nitride film) (second layer)
- 5
insulating layer of third (TEOS ozone silicon oxide film)
- 52
protruding part
- 53
insulating layer of 5 th (silicon oxide film)

54

第6の絶縁層(シリコン酸化膜)

6

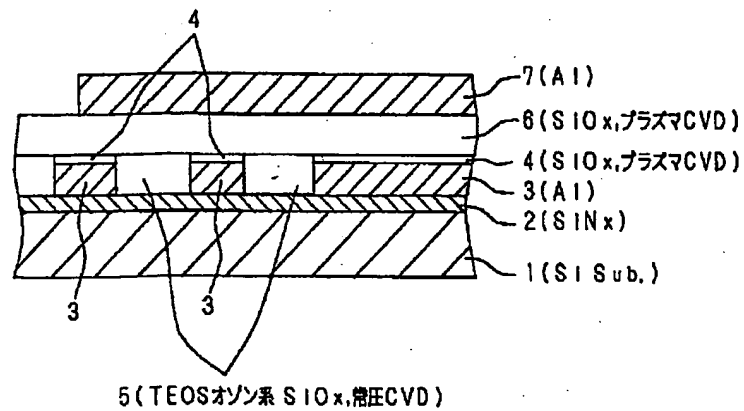
第4の絶縁層(シリコン酸化膜)

7

第2の配線層(アルミニウム膜)

Drawings

【図1】



54

insulating layer of 6 th (silicon oxide film)

6

insulating layer of 4 th (silicon oxide film)

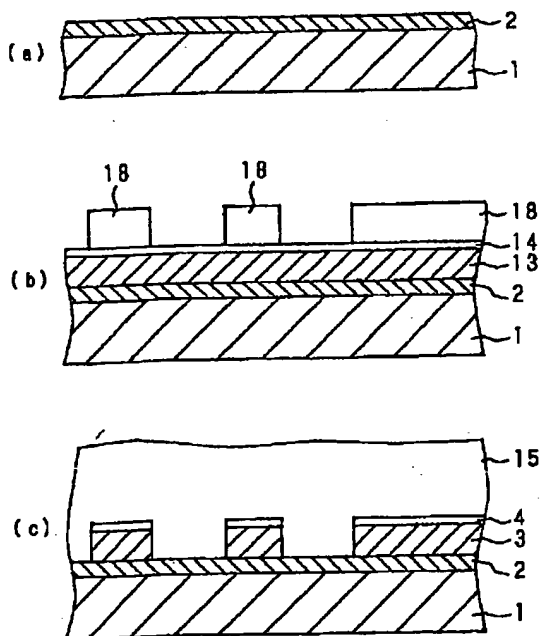
7

second wiring layer (aluminum film)

[Figure 1]

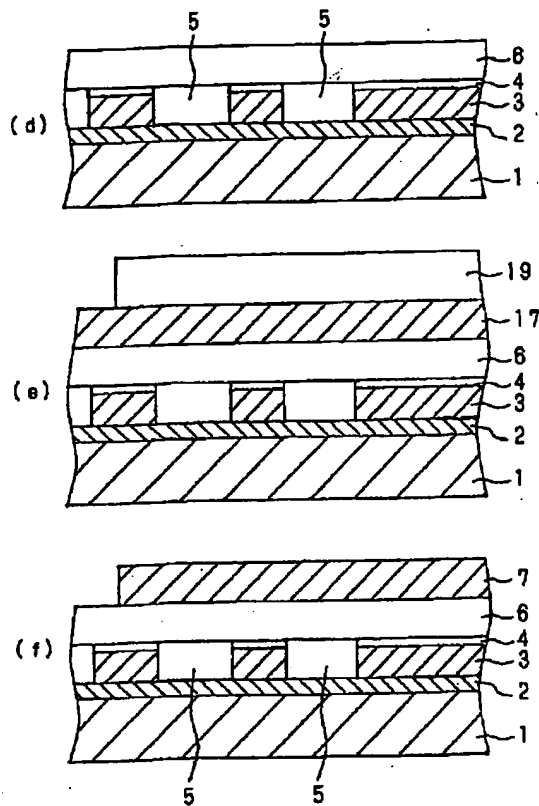
【図2】

[Figure 2]



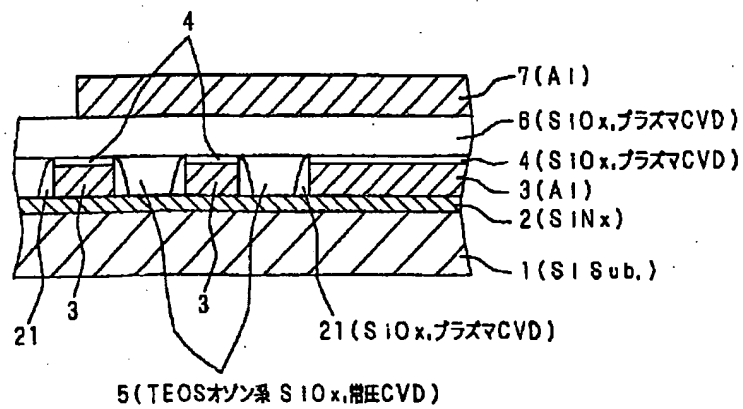
【図3】

[Figure 3]



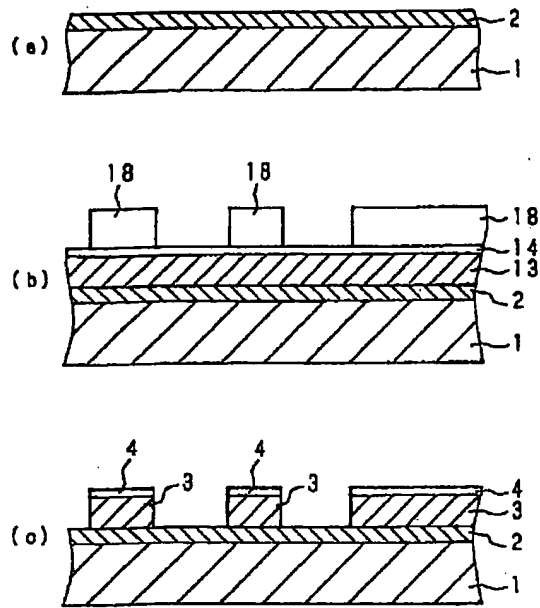
【図4】

[Figure 4]



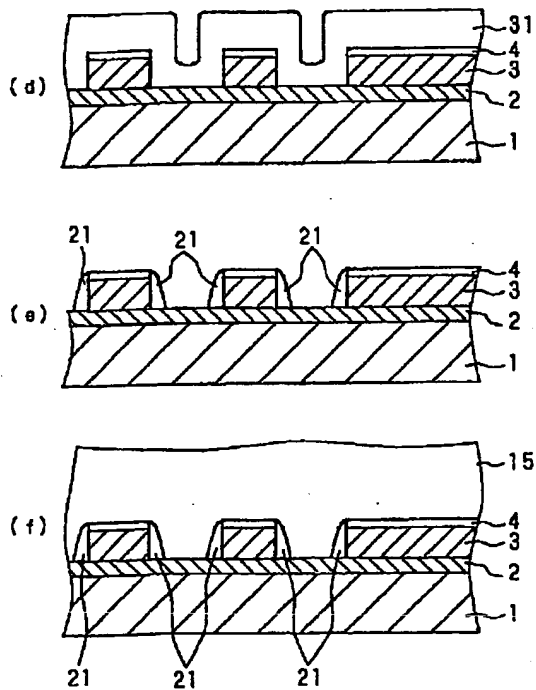
【図5】

[Figure 5]



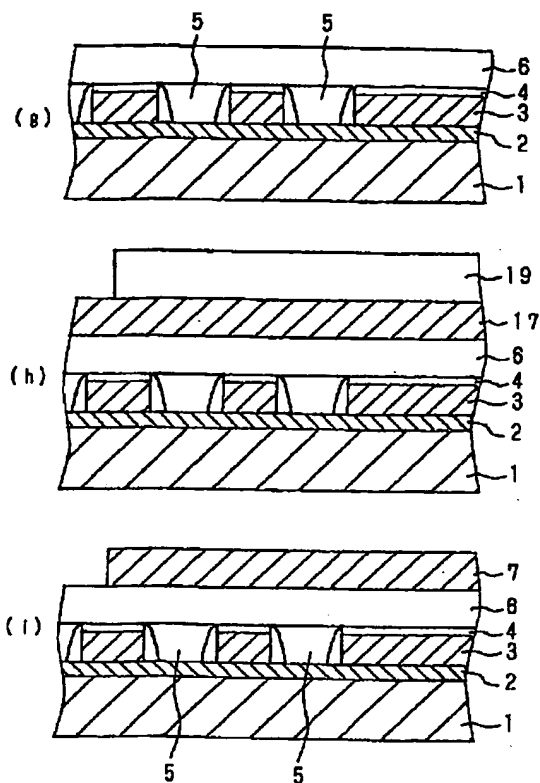
【図6】

[Figure 6]



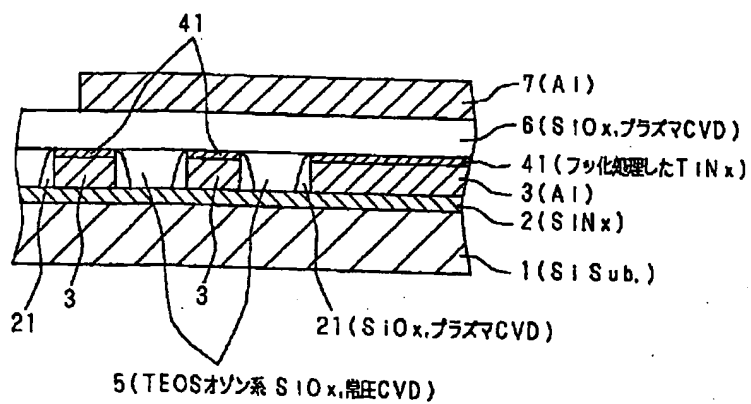
【図7】

[Figure 7]



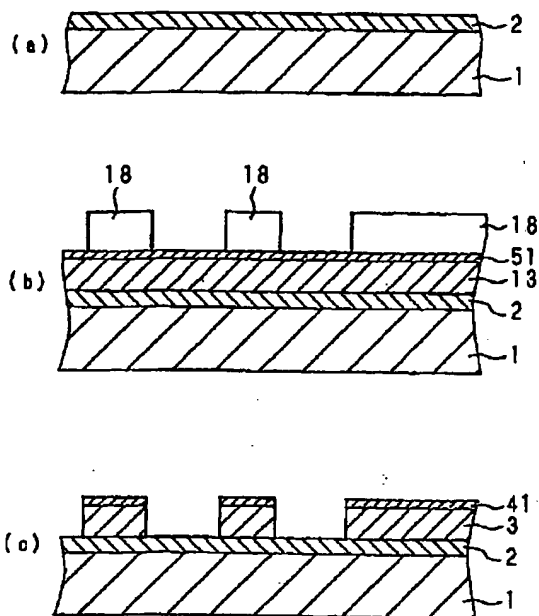
【図8】

[Figure 8]



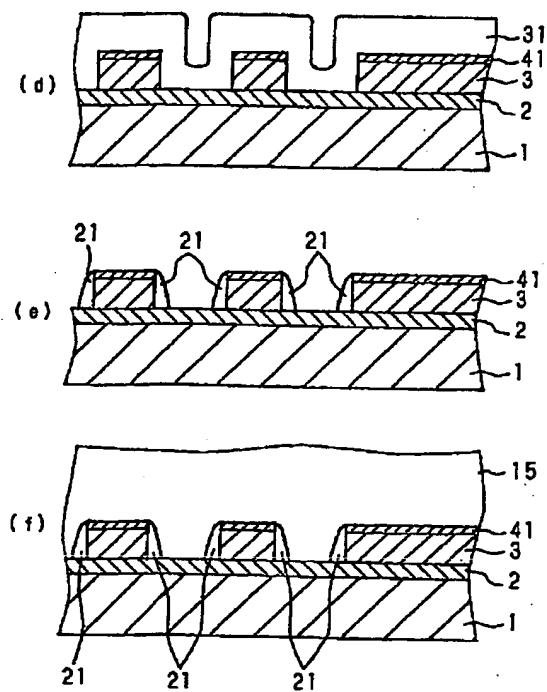
【図9】

[Figure 9]



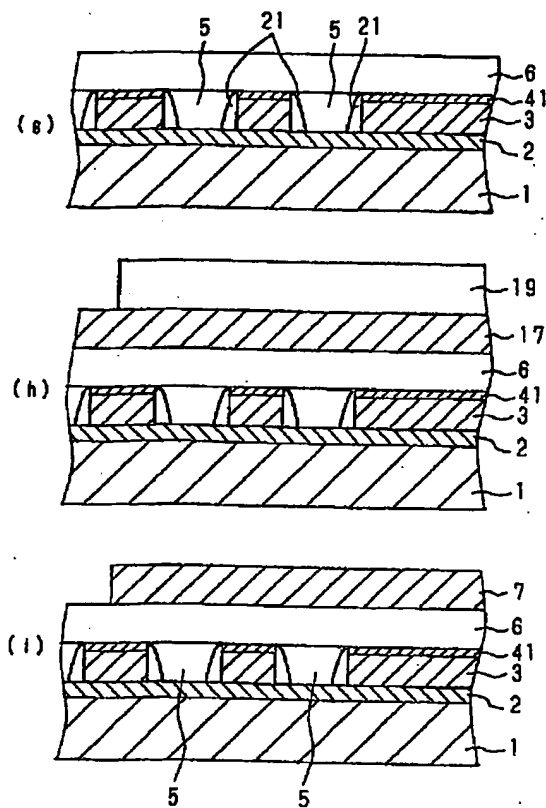
【図10】

[Figure 10]



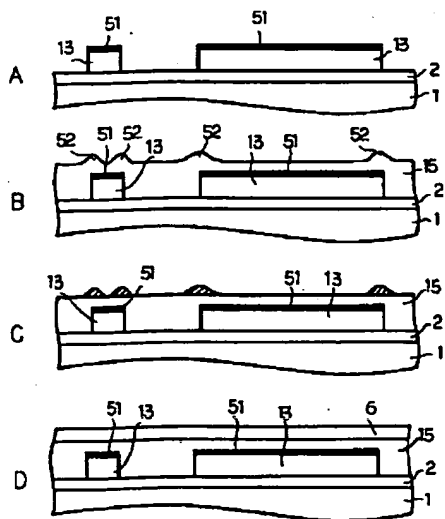
【図11】

[Figure 11]



【図12】

[Figure 12]



【図13】

[Figure 13]

